

## 明 細 書

## マイクロコンピュータ及びシステムプログラムの開発方法

## 技術分野

[0001] 本発明は、マイクロコンピュータ、特にデバッグサポート機能を有するマイクロコンピュータに関し、更にはマイクロコンピュータを動作させるシステムプログラムの開発方法に関する。

## 背景技術

[0002] デバッグサポート機能を有するマイクロコンピュータはデバッグに際してエミュレータもしくはホストコンピュータと通信を行なうデバッグ用インターフェースを有する。このデバッグ用インターフェースには、例えばJTAG (Joint Test Action Group, IEEE Std 1149.1, IEEE Standard Test Access Port and Boundary-Scan Architecture) プロトコルに準拠したシリアル入出力インターフェースが用いられている。特許文献1にもそのようなデバッグ用インターフェースを備えたマイクロコンピュータの記載がある。

[0003] 特許文献1:特開2002-202900号公報(段落0017)

## 発明の開示

## 発明が解決しようとする課題

[0004] 本発明者はデバッグサポート機能(オンチップデバッグ機能とも称する)を有するマイクロコンピュータをシステムデバッグするとき(デバッグ対象マイクロコンピュータをターゲットマイクロコンピュータと称する)、そのターゲットプログラムをホストコンピュータからターゲットシステムのプログラムメモリにダウンロードする機能におけるデータ転送の高速化について検討した。例えば、ターゲットマイクロコンピュータはJTAG準拠のデバッグ用シリアルインターフェース回路を有する。USB(Universal Seial Bus)インターフェース回路を持つパーソナルコンピュータ(PC)にUSBケーブルでエミュレータを接続し、エミュレータは専用のユーザーインターフェースケーブルでターゲットシステム(ユーザーシステムとも称する)に搭載されたターゲットマイクロコンピュータのデバッグ用シリアルインターフェースに接続する。ターゲットマイクロコンピュータはオンチップデバグ機能を有する。オンチップデバグ機能を有するターゲットマイクロコンピュータは

、ユーザモードの他に、ターゲットプログラムの開発を支援するデバッグモードを有する。前記ユーザモードではターゲットシステムのためにユーザが開発するユーザプログラムとしてのシステムプログラム(ターゲットプログラムとも称する)を実行する。前記デバッグモードでは、ユーザプログラムの実行が停止されているとき、主にプログラムデバッグ支援用のプログラム(デバッグ支援プログラムとも称する)を実行する。デバッグ支援プログラムは、ターゲットマイクロコンピュータの電源投入毎にホストコンピュータ上のエミュレータソフトより転送され、ターゲットマイクロコンピュータ内部のデバッグ用アドレス空間上に書き込みされ、ホストコンピュータ上のエミュレータソフトウェアとリンクされる。ホストコンピュータから供給されるユーザプログラムは、ターゲットマイクロコンピュータがユーザモードでデバッグ支援プログラムを実行することによって、ターゲットシステム上の所定メモリ空間に書き込まれる。エミュレータとターゲットマイクロコンピュータとの間の通信には前記JTAG準拠のデバッグ用シリアルインターフェース回路が用いられる。このデバッグ用シリアルインターフェース回路は、所定バイト単位でクロック同期のシリアル転送を行なうため、転送スピードは前記クロック周波数に比例し、USBインターフェース回路に比べて低速である。例えば、USB規格1.1でも転送処理能力はフルスピードで1200キロバイト(KB)／秒であるが、JTAG準拠のインターフェースでは4バイトのような1回の最大データ転送毎にターゲットマイクロコンピュータからのアクセス許可を示すステータスを取得して次の転送データをセットするというデータ転送手順を必要とし、それによるオーバヘッド故に、同期クロック周波数を上げても230KB／秒のような転送速度限界を生ずる。このような転送速度の相違によって、比較的容量の大きなターゲットプログラムのロード転送に長い時間を必要とし、システムデバッグ効率を低下させ、更にはターゲットプログラムの開発期間短縮を阻む要因の一つになっていることが本発明者によって明らかにされた。

- [0005] 本発明の目的は、ターゲットマイクロコンピュータをシステムデバッグするとき、デバッグ対象のシステムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することにある。
- [0006] 本発明の別の目的は、エミュレータを利用してシステムプログラムを開発するとき、デバッグ対象のシステムプログラムをホストコンピュータからターゲットシステムにダウ

ンロードするときのデータ転送の高速化という点において、システムプログラムの開発期間の短縮に寄与することにある。

[0007] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

### 課題を解決するための手段

[0008] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0009] [1]本発明に係るマイクロコンピュータは、中央処理装置、デバッグ用インターフェースに利用可能な高速シリアル通信インターフェース回路(3)、及び外部メモリに接続可能な外部バスインターフェース回路(5)を有する。前記高速シリアル通信インターフェース回路はその内部に複数の入力バッファ(EP1, EP2)を有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされる。前記デバッグモードにおいて、前記高速シリアル通信インターフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインターフェース回路から出力可能である。前記高速シリアル通信インターフェース回路は、例えばユニバーサルシリアルバスインターフェース回路である。システムデバッグに際して前記高速シリアル通信インターフェース回路にホストコンピュータを直結することにより、ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができる。特に前記高速シリアル通信インターフェース回路は交互に入出力動作を切換えて並列動作可能な2面バッファを備えるという点でデータ転送の更なる高速化が実現される。ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送の高速化という点において、ターゲットプログラムの開発期間の短縮に寄与する。

[0010] 本発明の望ましい形態では、受信されたシステムプログラムを外部バスインターフェース回路に接続されたメモリに転送制御可能なダイレクトメモリアクセスコントローラを有する。中央処理装置の負担軽減とデータ転送の更なる高速化に好都合である。前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は、例えば前記高速シリアル通信インターフェース回路の入力バッファである。前記高速シリアル通

信インターフェース回路の入力バッファに受信されたシステムプログラムを一時的に蓄積可能なランダムアクセスメモリ(7)を備える場合には、前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記ランダムアクセスメモリとしてよい。前記高速シリアル通信インターフェース回路の入力バッファ(EP1, EP2)とランダムアクセスメモリ(7)で多段バッファを構成してシステムプログラムを受けるから、高速シリアル通信インターフェース回路による受信処理と受信データに対する転送処理との速度差に対して更に余裕ができる。

[0011] 本発明の望ましい形態では、デバッグ専用低速シリアル通信インターフェース回路(8)を有し、前記デバッグ専用低速シリアル通信インターフェース回路は、デバッグモードにおいて、前記高速シリアル通信インターフェース回路を制御する制御データの入力に利用可能である。デバッグ専用低速シリアル通信インターフェース回路は例えばJTAG準拠のシリアルインターフェース回路であり、中央処理装置の制御を必要とせずにインターフェース動作を行なうことができるようになっている。前記デバッグ専用低速シリアル通信インターフェース回路は、例えばデバッグモードにおいて、前記高速シリアル通信インターフェース回路に代えてシステムプログラムの受信に利用可能である。

[0012] デバッグサポート機能の充実という観点より、トレース制御回路を内蔵してよい。前記トレース制御回路は前記中央処理装置が前記システムプログラムを実行したときの内部状態をトレース情報として逐次蓄え、蓄えたトレース情報は前記システムプログラムの実行停止後に外部に出力される。前記トレース情報の外部出力に前記高速シリアル通信インターフェース回路を利用可能である。

[0013] [2]本発明に係るシステムプログラムの開発方法は、ホストコンピュータ(25)と、エミュレータ(35)と、ターゲットデバイス(33)とを用いて、ターゲットデバイスが実行するシステムプログラムを開発する方法であつて、前記エミュレータによる処理として、ホストコンピュータが高速シリアル通信で出力するシステムプログラムを2面バッファの一方のバッファに蓄積する第1処理と、2面バッファの他方のバッファに蓄積されたシステムプログラムを前記第1処理に並行してターゲットデバイスに低速シリアル通信で送信する第2処理と、ターゲットデバイスとの間の前記低速シリアル通信のハンドシェーク制御を行なう第3処理を含む。2面バッファの利用により、ターゲットプログラムを

ホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができるという点において、ターゲットプログラムの開発期間を短縮することができる。

[0014] 本発明の具体的な形態として、前記第2処理では、前記バッファから出力するシステムプログラムを前記一つのバッファの記憶容量以上のFIFOバッファを経由してターゲットデバイスに低速シリアル通信で送信し、前記第3処理では、ターゲットデバイスからの送信許可に応答してFIFOバッファからターゲットデバイスへの送信を行ない、FIFOバッファのフル状態に応答して前記バッファからFIFOバッファへの転送を抑制する。低速シリアル通信にFIFOバッファを用いることにより、第1処理から第2処理に渡されるデータの滞留による第1処理の中断を減らすことができ、この点においても、上記データ転送を高速化することができる。

[0015] [3]本発明に係るマイクロコンピュータ(1)は、ユーザモードとデバッグモードを有し、中央処理装置(2)と、ユニバーサルシリアルバスインターフェース回路(3)と、第1のデバッグ用制御プログラムを保有するROM(71)と、RAM(7)と、外部バスインターフェース回路(5)とを備える。前記ユニバーサルシリアルバスインターフェース回路は、前記デバッグモードで利用可能にされる所定のエンドポイントバッファ回路(20)を有し、前記所定のエンドポイントバッファ回路は並列動作可能な一対のバッファ(EP1, EP2)を有し、前記一対のバッファは相互に一方が入力動作可能にされるのに並行して他方が出力動作可能とされる。ここで対象とするマイクロコンピュータはターゲットマイクロコンピュータであり、ユニバーサルシリアルバスインターフェース回路を介して直接デバッグ支援用のホストコンピュータに接続する場合を想定する。

[0016] 前記中央処理装置は、パワーオンリセット時に前記デバッグモードが指定されているとき、前記第1のデバッグ用制御プログラムを実行して、前記ユニバーサルシリアルバスインターフェース回路を動作可能に初期化し、第2のデバッグ用制御プログラムを前記ユニバーサルシリアルバスインターフェース回路で受信し、受信した第2のデバッグ用制御プログラムを前記RAMに格納し、RAMに格納した第2のデバッグ用制御プログラムの実行に移行する。これにより、マイクロコンピュータの電源投入毎に例えばホストコンピュータ上のエミュレータソフトより転送される第2のデバッグ用制御プロ

グラムを高速にダウンロードすることができ、ホストコンピュータ上のエミュレータソフトウェアとリンクしたデバッグ制御可能な状態の立ち上げを高速化することができる。

[0017] 本発明の具体的な形態として、バッファRAMとダイレクトメモリアクセスコントローラと更に有し、中央処理装置は、前記第2のデバッグ用制御プログラムにしたがって、ユニバーサルシリアルバスインターフェース回路が受信したダウンロード要求コマンドに応答して、前記ダイレクトメモリアクセスコントローラに、ユニバーサルシリアルバスインターフェース回路が受信したユーザプログラムを前記バッファRAMに転送させる。デバッグ制御可能な状態においてユーザプログラムのダウンロードを高速化することができる。更に、本発明の望ましい形態として、前記中央処理装置は、前記第2のデバッグ用制御プログラムにしたがって、ユニバーサルシリアルバスインターフェース回路が受信した転送要求コマンドに応答して、前記ダイレクトメモリアクセスコントローラに、前記バッファRAMに転送されたプログラムを外部バスインターフェース回路を介して外部のプログラムメモリに転送制御させる。この後、前記中央処理装置は、前記第2のデバッグ用制御プログラムの実行状態において、モード制御コマンドに応答してユーザモードに移行し、前記ユーザモードにおいて中央処理装置は外部バスインターフェース回路を介して前記プログラムメモリなどから命令をフェッチして、ユーザプログラムを実行する。ユーザプログラムの実行状態をトレースし、それを解析したりすることによってユーザプログラムに対するデバッグが行われる。

[0018] [4]別の観点による本発明のマイクロコンピュータ(40)は、中央処理装置(44)と、ユニバーサルシリアルバスインターフェース回路(48)と、第1のデバッグ用制御プログラムを保有するROM(45)と、バッファRAM(47)と、外部インターフェース回路(41)とを備え、前記ユニバーサルシリアルバスインターフェース回路は、所定のエンドポイントバッファ回路(20)を有し、前記所定のエンドポイントバッファ回路は並列動作可能な一对のバッファ(EP1, EP2)を有し、前記一对のバッファは相互に一方が入力動作可能にされるのに並行して他方が出力動作可能とされる。前記中央処理装置は、パワーオンリセット時に前記第1のデバッグ用制御プログラムを実行して、前記ユニバーサルシリアルバスインターフェース回路を動作可能に初期化し、第2のデバッグ用制御プログラムを前記ユニバーサルシリアルバスインターフェース回路で受信し、受信した

第2のデバッグ用制御プログラムを前記バッファRAMに格納し、バッファRAMに格納した第2のデバッグ用制御プログラムを前記外部インターフェース回路を介して出力させる。ここで対象とするマイクロコンピュータはターゲットマイクロコンピュータとデバッグ支援用のホストコンピュータとの間に配置されるエミュレータ(33)の制御用マイクロコンピュータとされる。

[0019] 本発明の具体的な形態として、マイクロコンピュータはダイレクトメモリアクセスコントローラ(46)を更に有し、前記ダイレクトメモリアクセスコントローラは、前記中央処理装置による転送制御条件にしたがって、前記バッファRAMから第2のデバッグ用制御プログラムを前記外部インターフェース回路を介して外部に転送する。

### 発明の効果

[0020] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0021] すなわち、ターゲットマイクロコンピュータをシステムデバッグするとき、システムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができる。要するに、システムデバッグにおいて、システムプログラムダウンロード機能の性能を向上させることができる。

[0022] エミュレータを利用してシステムプログラムを開発するとき、システムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送の高速化という点において、システムプログラムの開発期間の短縮に寄与することができる。

### 図面の簡単な説明

[0023] [図1]本発明に係るマイクロコンピュータを例示するブロック図である。

[図2]USBIF内蔵のマイクロコンピュータを搭載したターゲットシステムとホストコンピュータとの接続形態を示す説明図である。

[図3]USBIFを備えていないマクロコンピュータを搭載したターゲットシステムとホストコンピュータとの接続形態を示す説明図である。

[図4]図3のマイクロコンピュータとエミュレータの一例を示すブロック図である。

[図5]FPGAで構成されるJTAGインターフェースロジックの詳細を示す論理回路図である。

[図6]図5の構成による動作を示すタイミングチャートである。

[図7]RAMの2面バッファBUF1, BUF2を切り換えてデータをFIFOTDOに転送する制御手順を示すフローチャートである。

[図8]図5と図9の夫々の場合におけるプログラムダウンロードの動作タイミングの相違を示すタイミングチャートである。

[図9]図5の比較例に係るエミュレータを例示するブロック図である。

[図10]図5の例と図9の比較例のそれぞれにおいてホストコンピュータからユーザープログラムファイルをダウンロードするときのダウンロード性能を例示する説明である。

[図11]本発明に係るマイクロコンピュータの更に具体的な例を示すブロック図である。

[図12]マイクロコンピュータによるオンチップデバッグの動作タイミングを例示するタイミングチャートである。

[図13]USBの通信フォーマットの説明図である。

[図14]ホストコンピュータとUSBインターフェース回路との通信ハンドシェイク制御の基本形を例示するフローチャートである。

[図15]ユーザープログラムの実行中に強制ブレークさせる場合のホストコンピュータとUSBインターフェース回路との間でハンドシェイク制御内容を例示するフローチャートである。

[図16]ホストコンピュータからUSBインターフェース回路へのソフトウェアのダウンロードの制御内容を例示するフローチャートである。

[図17]図1のマイクロコンピュータの変形例を示すブロック図である。

[図18]図17のマイクロコンピュータの変形例を示すブロック図である。

## 符号の説明

- [0024] 1 マイクロコンピュータ
- 2 CPU
- 3 USBインターフェース回路
- 4 外部メモリ
- 5 外部バスインターフェース回路
- 6 DMA

- 7 RAM
- 8 JTAG回路
- 9 トレース回路
- 11 エミュレーションRAM
- EP1, EP2 2面バッファ
- 20 バッファ部
- 25 ホストコンピュータ
- 30 ターゲットシステム
- 33 マイクロコンピュータ
- 34 ターゲットシステム
- 35 エミュレータ
- 47 RAM
- BUF1, BUF2 2面バッファ
- FIFOTDO
- 48 USBインターフェース回路
- 71 ROM
- 73 パワーオンリセット回路
- 74 システムコントローラ

### 発明を実施するための最良の形態

[0025] 図1には本発明に係るマイクロコンピュータ1が例示される。マイクロコンピュータ1は、単結晶シリコンのような1個の半導体基板(半導体チップ)に相補型MOS集積回路製造技術等によって形成される。マイクロコンピュータ1は、中央処理装置(CPU)2、デバッグ用インターフェースに利用可能な高速シリアル通信インターフェース回路としてのUSBインターフェース回路(USBIF)3、外部メモリ(EXMRY)4に接続可能な外部バスインターフェース回路(EXIF)5、ダイレクトメモリアクセスコントローラ(DMAC)6、ランダムアクセスメモリ(RAM)7、デバッグ専用低速シリアル通信インターフェースとしてのJTAGインターフェース回路(JTAGIF)8、トレース制御回路(TRCNT)9、トレース情報の外部出力制御用のAUD(アドバンスト・ユーザ・デバッグ)インターフェース回路

(AUDIF) 10、及びエミュレーションRAM(EMMRY) 11を有し、特に制限されないが、それらは内部バス(IBUS) 12を共有する。尚、内部バス12にはタイマカウンタなどその他の回路が接続されていてよい。前期RAM7は転送データなどを一時的に保持するバッファRAMなどとして利用される。

[0026] 前記USBIF3は、例えばUSB2.0規格に準拠し、USBバッファ部(BEP) 20とUSBインターフェース制御部(UCNT) 21を有する。USBバッファ部20は夫々512バイトのUSBバッファEP1、EP2によるダブルバッファ構造を持つ。USBバッファEP1、EP2は例えばFIFOによって構成される。UCNT21は所謂USBデバイスコントロールとデータ転送制御を行なう。UCNT21はUSBホストとして例えば図1のホストコンピュータ(パソコンコンピュータ)に搭載されるUSBホストにUSBケーブル23で接続され、USBデバイスコントロールとして、USBホストからのコマンドに応答して所定のプロトコルでデータのシリアル送受信制御を行なう。USBホストからの受信データはバッファ部20に送られ、USBホストへの送信データはバッファ部20から供給される。UCNT21はデータ転送制御としてバッファ部20に対するリード・ライト制御と、DMAC6に対する転送要求の制御を行なう。特にバッファ部20に対するリード・ライト制御では、相互に一のUSBバッファに対する入力動作(USBホストからの受信データ入力動作)に並行して他のUSBバッファからデータ出力動作(DMA転送のための内部バス12への出力動作)を可能とする。

[0027] DMAC7はCPU2により、転送元アドレス、転送先アドレスなどのデータ転送制御条件が設定され、USBIF3等からのDMA転送要求に応答して、転送元から転送動作へのデータ転送を制御する。データ転送モードとしてデュアルアドレシングモード及びシングルアドレシングモードの双方をサポートする。例えば、USBバッファEP1、EP2とEMMRY11との間のシングルアドレスによるデータ転送、USBバッファEP1、EP2とRAM7との間のシングルアドレスによるデータ転送、RAM7とEXMRY4との間のデュアルアドレスによるデータ転送を制御することができる。

[0028] JTAGIF8は受信データを入力する入力レジスタTDI、送信データを出力する出力レジスタTDO、前記レジスタTDIと内部バス12を接続するデータレジスタSDDR、図示を省略するコマンドレジスタ、JTAG制御回路(JCNT) 24を有する。JCN24はク

ロック信号TCKに同期してレジスタTDOからのシリアル出力とレジスタTDIへのシリアル入力を制御する。その制御には所謂TAP(テスト・アクセス・ポート)コントロールを用い、クロック信号TCKに同期してシリアル入力される図示を省略する1ビットのモードセレクト信号のパターンによって制御を行なう。外部からJTAGIF8へのデータ入力はレジスタTDOから外部にアクセス許可ビットが出力される毎に可能にされる。例えばJTAGIF8は4バイト受信毎に外部にアクセス許可ビットを出力する。この意味において、JTAGIF8によるシリアル通信速度は遅い。規格ではTCK周波数は数十MHzであり、USB2.0規格では転送処理能力がハイスピード時480MB／秒であるのに対して低速である。

[0029] 前記CPU2は図示を省略する命令制御部と演算部を備える。命令制御部は命令フェッチを制御すると共にフェッチした命令のデコードを行なう。演算部は命令のデコード信号及び命令で指定されるオペランドを用いてデータ演算やアドレス演算を行なって命令を実行する。マイクロコンピュータ1は通常モードとしてのユーザモードの他に、ターゲットプログラムの開発を支援するデバッグモードを有する。前記デバッグモードの指定は、リセット時にモード端子から指定し、或いはユーザモードにおいてブレーク割り込みで指定することができる。前記ユーザモードではEXMRY4に格納されているシステムプログラム(ユーザプログラムとも称する)を実行する。前記デバッグモードでは、ユーザプログラムの実行が停止されているとき、主にプログラムデバッグ支援用のプログラム(デバッグ支援プログラム)を実行する。デバッグ支援プログラムは、マイクロコンピュータ1の電源投入毎にホストコンピュータ25のエミュレータソフトにより転送され、EMMRY11のデバッグ用アドレス空間上に書き込みされる。ブートプログラムはマイクロコンピュータ1に内蔵される図示を省略するマスクROM又は電気的に書換え可能なフラッシュメモリが保有する。デバッグ時に、ユーザプログラムはデバッグモードでマイクロコンピュータ1が前記デバッグ支援プログラムを実行することによって、ターゲットシステム上のEXMRY4に書き込まれる。ユーザプログラムはホストコンピュータ25から供給される。

[0030] 図1では、ターゲットシステムのマイクロコンピュータ1とホストコンピュータ25との間の通信にはUSBIF3が利用可能にされる。JTAGIF8を利用することも可能であるが

、通信速度の点でUSBIF3の方が優れているので、USBIF3を利用するのが得策である。特にUSBIF3は交互に入出力動作を切換えて並列動作可能な2面バッファEP1, EP2を備えるという点でデータ転送の更なる高速化が実現される。ユーザプログラムをホストコンピュータ25からターゲットシステムにダウンロードするときのデータ転送の高速化という点において、ユーザプログラムの開発期間を短縮可能になる。

[0031] USBIF3で受信されたシステムプログラムをEXIF5に接続されたEXMRY4に転送するには、DMAC6を用いればよい。前記DMAC6によるシステムプログラムの転送元は、例えば前記USBIF3の入力バッファEP1, EP2である。前記USBIF3の入力バッファEP1, EP2に受信されたシステムプログラムをRAM7に一時的に蓄積する場合には、前記DMAC6により先ずバッファEP1, EP2からRAM7に転送し、タイミングを見計らって、RAM7からEXMRY4にシステムプログラムを転送すればよい。前記USBIF3の入力バッファEP1, EP2とRAM7で多段バッファを構成してシステムプログラムを受けることにより、USBIF3による受信処理と受信データに対する外部への転送処理との速度差に対して更に余裕ができる。

[0032] 前記JTAGIF8は、デバッグモードにおいて、前記USBIF3を制御する制御データの入力に利用可能である。JTAGIF8は、例えばデバッグモードにおいて、前記USBIF3に代えてシステムプログラムの受信に利用可能である。その必要性は、ユーザモードにおいて前記USBIF3の使用が予約されていて、プログラムダウンロードに利用することができない環境にある場合などである。前記USBIF3は複数転送チャネルを備える構成であってもよい。その一つをオンチップデバック専用にすれば、プログラムダウンロードをJTAGIF8による代替通信で行なうことを一切要しないから、そのデータ転送の高速化を保証することができる。

[0033] 前記TRCNT9はCPU2がユーザプログラムを実行しているとき、CPU2の内部状態をトレースバス13を介して順次格納する回路である。格納場所はFIFOバッファ(FBUF)26とされ、FIFOバッファ26に対するアドレス制御はアドレスカウンタ(ACOUNT)27が行なう。FIFOバッファ26に蓄えられたトレース情報は、デバッグモードにおいて前記USBIF3又はJTAGIF8によってホストコンピュータ25に転送可能である。但しFIFOバッファ26の容量は小さいので、大量のデータをトレースするには不向

きである。大量のデータをトレース情報として収集する場合には前記AUDIF10を用いる。内部バス12のアドレス情報及びデータ情報等をバスアクセスサイクル毎にトレースバッファ(TRBUF)28に蓄え、TRBUF28のデータをクロック信号AUDCLKに同期して外部に出力すればよい。AUDATAは出力データ、AUDSYNCはデータ出力同期信号である。

- [0034] または、FIFOバッファ26に蓄えられたトレース情報をRAM7やEXMRY4へ一時的に格納し、USBIF3を用いて一括で出力することも可能である。
- [0035] 図2にはマイクロコンピュータ1を搭載したターゲットシステム30とホストコンピュータ25との接続形態を示す。ターゲットシステム30にはマイクロコンピュータ1のUSBIF3に接続するUSBコネクタ31が設けられ、このUSBコネクタ31とホストコンピュータ25のUSBコネクタをUSBケーブル23で直結すればよい。マイクロコンピュータ1はデバッグ機能を有するから、ホストコンピュータ25とマイクロコンピュータ1の間にエミュレータを介在させることなく、ターゲットプログラムとしてのシステムプログラムとデバッグ支援プログラムのダウンロードを行なうことができ、その後のユーザモードでは、システムプログラムを実行しながらトレース情報を収集する。システムプログラムの実行がブレークされてデバッグモードに遷移されたとき、トレース情報を参照したりしてターゲットシステムに対する評価及びシステムプログラムの修正等が行なわれる。
- [0036] 図3には別の例として前記USBIF3を備えていないマイクロコンピュータ33を搭載したターゲットシステム34とホストコンピュータ25との接続形態を示す。ターゲットシステム34とホストコンピュータ25との間にはエミュレータ35が配置される。エミュレータ35とホストコンピュータ25はUSBケーブル23で接続される。ターゲットシステム34とエミュレータ35はJTAGインターフェースケーブル36で接続される。
- [0037] 図4には前記マイクロコンピュータ33とエミュレータ35の一例が示される。マイクロコンピュータ33は図1のマイクロコンピュータ1に対してUSBIF3を備えていない点が相異される。同一機能を有する回路要素には同一符号を付してその詳細な説明は省略する。
- [0038] エミュレータ35は、マイクロコンピュータ40、フィールド・プログラマブル・ゲート・アレイ(FPGA)41、シンクロナス・スタティック・ランダム・アクセス・メモリ(SSRAM)42か

ら成る。

[0039] マイクロコンピュータ40はCPU44、ROM45、DMAC46、RAM47及びUSBIF48を有し、1個の半導体基板に形成されている。USBIF48は前記USBIF3と同様に、2面でUSBバッファEP1、EP2を有するUSBバッファ部20とUCNT21によって構成され、USB2.0規格に準拠する。RAM47はUSBバッファEP1、EP2の記憶情報に対する後段の2面RAMバッファを構成し、第1RAMバッファ領域BUF1と第2RAMバッファ領域BUF2が割当てられる。望ましくは、第1RAMバッファ領域BUF1と第2RAMバッファ領域BUF2に対して夫々個別のアクセスポートを持つデュアルポートであるのがよい。即ち、一方のUSBバッファEP1がホストコンピュータ25から受信したデータを格納しているとき、他方のUSBバッファEP2から出力されるデータをRAM47の第1RAMバッファ領域BUF1に格納し、これに並行して第2バッファ領域BUF2に格納されているデータを所定のポートから外部に出力することができる。また、他方のUSBバッファEP2がホストコンピュータ25から受信したデータを格納しているとき、USBバッファEP1から出力されるデータをRAM47の第2RAMバッファ領域BUF2に格納し、これに並行して第1RAMバッファ領域BUF1に格納されているデータを所定のポートから外部に出力することができる。USBIF48からRAM47へのデータ転送にはDMAC46を用いることが望ましい。

[0040] FPGA41はフラッシュメモリセルのような不揮発性記憶素子を多数有し、それら不揮発性記憶素子のプログラム状態に応じて論理機能を所望に設定することができる回路である。ここではFPGA41は、マイクロコンピュータ33のJTAGIF8とデータ送受信を行なうためのJTAGインターフェースロジック41Aと、SSRAM42のアクセス制御を行なうアドレス生成ロジック41Bを構成する。

[0041] JTAGインターフェースロジック41Aは、出力FIFOバッファFIFOTDO、入力バッファTDI、インターフェース制御回路(JCNT)50を有する。RAM47から出力FIFOバッファFIFOTDOへのデータライトの際、USBインターフェース制御プログラムを実行するCPU44は出力FIFOバッファFIFOTDOへの書き込み可能状態(TDOST)と空き状態(TDOF)等を管理し、出力FIFOバッファFIFOTDOへ連続して転送データをセットする。マイクロコンピュータ33のJTAGIF8からのアクセス許可ビットはJCNT50が

監視する。アクセス許可ビットがイネーブルになったとき出力FIFOバッファFIFOTDOから4バイトの情報送信が行なわれる。出力FIFOバッファFIFOTDOから送信された情報はマイクロコンピュータ33のJTAGIF8で受信され、データレジスタSDDRに格納される。データレジスタSDDRに格納されると、DMAC6が起動され、その情報はDMA転送にてEXMRY14に書き込まれる。

- [0042] 前記SSRAM42はマイクロコンピュータ33のAUDIF10から出力されるトレース情報の格納に利用される。前記FPGA41で実現されるSSRAM42のアクセス制御を行なうアドレス生成ロジックはアドレスカウンタ(ACCOUNT)52と、セレクタ(ASEL)53を構成する。セレクタ53はSSRAM42のアドレッシングをCPU44で行なうかアドレスカウンタ52で行なうかを選択する。どちらを選択するかはCPU44の指示に従って決定される。
- [0043] このように、ホストコンピュータ25に接続するUSBIF48と、ターゲットコンピュータ33のJTAGIF8の間には、受信データの入力と出力を並列可能にするバッファBUF1, BUF2による2面バッファと、2面バッファの一方のバッファから出力される受信データをFIFO形式で蓄えることができる出力FIFOバッファFIFOTDOが設けられているから、ホストコンピュータ25とマイクロコンピュータ33がUISBインターフェースで直結されていないが、ある程度データ転送効率を上げることができる。
- [0044] 特に、内蔵RAM47を数キロバイトのダブルバッファ構造として、ホストコンピュータ25からのダウンロードデータをバッファBFU1またはBFU2の一方に受信中に、他方のバッファが保持しているデータを出力FIFOバッファFIFOTDOにライトするように、処理を並列化したから、バッファEP1, EP2のデータサイズとバッファFIFOTDOのデータサイズが異なる場合であっても、また、バッファEP1, EP2の動作とバッファFIFOTDOの動作が独立しているためDMA転送を途中で中断させないという制約が必要になる場合であっても、対応することが可能になる。
- [0045] 図5にはFPGA41で構成されるJTAGインターフェースロジック41Aの詳細が示される。図6には図5の動作タイミングが示される。
- [0046] バッファFIFOTDOは4バイト×61段(244バイト)の多段構成とされる。55はマイクロコンピュータ40に接続されるインターフェースである。バッファFIFOTDOはFIFO56

とシフトレジスタ57によって構成される。コントロールブロック58とバッファコントロールブロック59はJCNT50を構成する。59A, 59Bは所定のロジックである。CPUDAT A(REGDATA. D)はRAM47からの出力データ、CPUWR\_N(TDOWR\_N)はFIFO56に対するライトリクエスト、TDOREG. QはFIFO56からのリードデータ、READQはFIFO56に対するリードリクエスト、SHIFTREG. はシフトレジスタ57の出力データ(TDO出力)である。SBUF\_LOADはシフトレジスタ57のデータロード信号、S\_Pはシフトレジスタ57のシフト信号である。TDOemはFIFO56のエンプティ信号、TDOflはFIFO56のフル信号である。TDOSTはバッファFIFOTDOにライト可能か否かを示し、1でライト可、0でライト不可を意味する。TDOFは1でバッファFIFOTDOのデータがすべてシフトアウトしたこと、0でバッファFIFITDOのデータがすべてシフトアウトしていない(初期値)ことを示す。TDOINTはバッファFIFITDOのデータが全てシフトアウトした時に割込要求信号IRQを出力させるための信号であり、1で割込要求を可能とし、0で割込要求を抑止する(初期値)。

[0047] マイクロコンピュータ40のRAM47より、ライトイネーブル(TDOWR\_N)に応答してCPUクロックCPUCLK同期でデータ(REGDATA. D)がFIFO56に書き込まれる。FIFO56がフル状態のときは、CPUクロックCPUCLKに同期してTDOflが出力される。FIFO56がエンプティ状態の時は、クロックTCKに同期してTDOemが出力される。シフトレジスタ57へのデータ転送開始ロードパルス(SBUF\_LOAD)は、FIFO56が空の時はライトイネーブル(TDOWR\_N)に同期して生成され、空でない時は転送終了パルス(DONE\_P)に同期して生成される。この作用はロジック59A, 59Bにより実現される。DONE\_Pは、ターゲットマイクロコンピュータ33からのアクセス許可ビットに基づいて生成される。アクセス許可ビットは、レジスタTDIを介して入力される。バッファコントロールブロック59ではシフトレジスタ57のデータ転送終了毎にFIFO56のデータ書き込み可能状態を示すTDOflをチェックする。TDOflがバッファFIFITDOの書き込み可能状態を示すTDOSTビットを生成し、TDOemとDONE\_PによりバッファFIFOTDOの空き状態を示すTDOFビットを生成し、コントロールブロック58のJTAGレジスタに反映する。TDOFをマイクロコンピュータ40への割込み要求に使用する場合、割込み許可を示すTDOINTビットとTDOFによって割込

み要求信号IRQを生成する。CPU44がこの割込み要求を受付けると、例えば図7のTDOデータセット処理実行における、次のRAMバッファへの切り換え(S7)を行う。

[0048] 図7にはRAM47の2面RAMバッファBUF1, BUF2を切り換えてデータをバッファFIFOTDOに転送する制御手順が示される。先ず、この制御手順を可能にするTDOINTが1にされ(S1)、TDOST=1かによってバッファFIFOTDOの空きがチェックされ(S2)、空きがあればバッファFIFOTDOにデータが転送される(S3)。転送されたデータバイト数がチェックされる。即ち、バッファBUF1, BUF2の夫々に割当られる領域の最大容量数か否かがチェックされる(S4)。その転送バイト数に到達すると、TDOF=1かの判定によってFIFOTDOの空きチェックを行ない(S5)、全てシフトアウトしたことが判定されると、CPU44にIRQにて割り込みを要求し、TDOFを0にクリアする(S6)。その後、転送元RAMバッファ領域が次のバッファBUF1又はBUF2に切り換えられる(S7)。上記処理を送信完了まで繰返す(S8)。完了後、TDI NTを0にクリアして(S9)、制御を終了する。

[0049] このように、バッファBUF1からバッファFIFOTDOへのデータライト転送は、バッファFIFOTDOのバッファの書き込み可能状態(TDOSTビット)を参照して、RAM47の最大容量数キロバイト数を転送し、次にバッファFIFOTDOの空き状態(TDOF)を確認した後、次のバッファBUF2又はBUF1へ切り替え、指定したデータ量を転送完了する迄その処理を繰り返す。これにより、RAM47からバッファFIFOTDOへのデータライトの際、TDOSTビットとTDOFビットを管理し連続して転送データをセットする。マイクロコンピュータ33からバッファTDIに送られるアクセス許可ビットはハードロジック58が監視する。それらの結果、図8の(A)に示すように、アクセス許可ビットを検出してから転送データを転送するまでのオーバーヘッドを無くし、最大数百バイトの連続転送が可能になり、ユーザプログラムなどのダウンロード転送の高速化を実現することができる。ターゲットマイクロコンピュータがUSBIF3を持たない場合にもプログラムダウンロード転送速度をある程度高速化することが可能である。尚、図8の(A)において、マイコン書き込みとはRAM47からバッファFIFOTDOへのデータ転送書き込みを意味する。JTAG出力とはバッファFIFOTDOからターゲットマイクロコンピュータ33への転送データ出力を意味する。SPはターゲットマイクロコンピュータ33から

のアクセス許可ビットのステータスポーリング処理を意味する。

[0050] 図9には比較例に係るエミュレータが例示される。ホストコンピュータとのインターフェースにはUSBを用いる。USBドライバ61及びUSBコントローラマイコンチップ62が設けられる。USBコントローラマイコンチップ62のプログラムはROM63に格納され、SDRAM64がワークメモリとして利用される。受信したUSBデータはSDRAM64に一旦格納され、USBパケット解析等を経てSDRAM64に格納してからJTAGコントローラ65のデータ出力レジスタからターゲットマイクロコンピュータにデータを送信する。JTAG準拠のインターフェースではソフトダウンロードデータ転送方式は、送信データの終了をターゲットCPUからアクセス許可ビットを受け取ることができるステータス取得モードで行っている。また1回のデータ転送量は最大で4バイトである。エミュレータは転送の都度ターゲットマイクロコンピュータ33からステータス取得モード終了を示すアクセス許可ビットを取得する。要するに、アクセス許可ビットをポーリングしながら取得して、データ出力レジスタ(TDO)へ転送データをセットしなければならない。この場合には図8の(B)に示されるように、アクセス許可ビットの検出から転送データセットまでにオーバーヘッドT1が発生する。要するに、図8の(B)は4バイト転送毎にデータ出力レジスタ(TDO)へのデータセットを行い、図8の(A)はデータ出力レジスタ(TDO)へのデータセットを予め行い、ハードロジック58でアクセス許可ビット取得毎に4バイト単位でデータ出力を行う。

[0051] 図10には図5の例と図9の比較例に関しホストコンピュータPCよりターゲットマイクロコンピュータの外付メモリに1メガバイトのユーザープログラムファイルをダウンロードするときのダウンロード性能が示される。傾向線aは図5に対応され、傾向線bは図9に対応される。これによればホストコンピュータからターゲットマイクロコンピュータへデータ転送する際、図9の比較例におけるプログラムダウンロード性能は、TCK=10MHz以上にしても230KB/秒より変化はなかった。

[0052] 図5の例では、TCK=10MHz以上でもダウンロード性能がリニアに上がる。また、TCK=20MHzである場合、ダウンロード性能が約2倍の400KB/秒となる。

[0053] 図11にはマイクロコンピュータ1の更に具体的な例が示される。図1との相違点は、USBインターフェース回路3に複数のUSBバッファ部(BEP0～BEP6)20を示してい

る。更に、ポートプログラムを保有するROM71を図示している。前記エミュレーションメモリ11はSRAMで構成されるのに対し、ROM71はマスクROM又はEEPROMやフラッシュメモリなどの電気的に書き換え可能な不揮発性メモリによって構成される。その他にブレーク回路72が設けられる。ブレーク回路72は、デバッグモードにおいてCPU2を介してブレーク条件が設定され、ユーザモードにおいてブレーク条件に一致する状態の発生を検出して、CPU2にブレーク例外を要求する。

[0054] 前記USBバッファ部20のBEP0～BEP6の夫々はUSB規格におけるエンドポイントと称されるFIFO(First-In First-Out)バッファを意味する。FIFOバッファは入力用(イン)、出力用(アウト)夫々別々に備えたダブルバッファ構造とされ、図1に示されるEP1、EP2のように構成される。BEP0はエンドポイント0、BEP6はエンドポイント6と理解されたい。エンドポイントの番号は例である。一つのUSBデバイスが持つことができるエンドポイントの最大数はUSB規格で規定されている。エンドポイント0(BEP0)はコントロール転送に使用され、USBデバイスにとって必須とされる。ここではUSBインターフェース回路3はユーザモードとデバッグモードの双方で利用可能とされ、USBバッファ部(BEP0～BEP6)20のうち、BEP1、BEP2はユーザプログラムによる使用に専用化され、BEP3～BEP6はデバッグ支援に専用化される。BEP0は双方で共用される。BEP0はオンチップデバック専用のディスクリプタ情報をコントロール転送するのに使用される。BEP3はUSBデータのバルクアウト転送に利用されるBEP4はUSBデータのバルクイン転送用に利用される。BEP5は命令コマンドの入力に利用される。BEP6はステータス情報の出力に利用される。BEP1、BEP2はユーザモードにおいてユーザの設定に従ってデータ入出力などに利用される。USBインターフェース回路3は外部から与えられる48MHzのような周波数のクロック信号CLKに同期動作される。CLKはマイクロコンピュータ1の内部でPLL回路などを介して生成されてもよい。

[0055] 前記ROM71が保有するポートプログラムは、特に制限されないが、USBインターフェース回路3を初期化するためのUSB初期化制御プログラム及び転送制御プログラムとされる。転送制御プログラムは、USBインターフェース回路3を介して受信したデバッグ支援プログラム(ASEファームソフトとも称する)をエミュレーションメモリ11に格納

するためのプログラムとされる。

[0056] システムコントローラ(SYSC74)は代表的に示された外部端子としてデバッグモード端子ASEMD及びリセット端子RESに接続され、また、パワーオンリセット回路(POWER-ON RESET CIRCUIT)73から出力されるパワーオンリセット信号が供給され、それら入力に従ってマイクロコンピュータ1の動作モード等を制御する。SYSC74は、デバッグモード端子ASEMDによってユーザモードが指定され、パワーオンリセット回路73からのパワーオンリセット指示又はリセット端子RESからのリセット指示があると、制御信号 $\phi$ 1によってCPUが初期化され、CPU2はROM71が保有する前記USB初期化制御プログラムを実行してエンドポイントBE0、BEP1、BEP2の動作を可能とし、最後にCPU2はプログラム格納領域の先頭番地から命令を実行開始可能にされる。一方、SYSC74は、デバッグモード端子ASEMDによってデバッグモードが指定され、パワーオンリセット回路73からのパワーオンリセット指示があると、制御信号 $\phi$ 2によってCPU2が初期化され、CPU2はROM71が保有する前記USB初期化制御プログラムを実行してエンドポイントBE0～BEP6の動作を可能とし、その後CPU2はROM71が保有する前記転送制御プログラムを実行して、USBインターフェース回路3を介して受信したデバッグ支援プログラム(ASEファームソフトとも称する)をエミュレーションメモリ11に格納し、最後にCPU2は転送したASEファームソフトの実行が可能にされる。尚、デバッグモードにおいてユーザモードに分岐したユーザプログラムの実行状態では、RESによるリセット指示があつてもデバッグモードそれ自体のリセット指示はマスクされる。デバッグモードからユーザモードに分岐してユーザープログラムを実行しているとき、リセット入力でリセットベクタへジャンプするかを検証し足りするのを可能にするためである。

[0057] ASEファームソフトによってユーザプログラムをホストコンピュータ25からダウンロードする場合、CPU2は、ASEファームソフトにしたがって、USBIF3が受信したダウンロード要求コマンドに応答して、前記DMAC6に、USBIF3が受信したユーザプログラムを前記バッファRAM7に転送させる。例えば、USBIF3との通信が完了した後、CPU2は、前記ASEファームソフトにしたがって、USBIF3が受信した転送要求コマンドに応答して、前記DMAC6に、前記バッファRAM7に転送されたプログラムを外

部バスインターフェース回路5を介して外部メモリ4に転送制御させる。CPU2は、前記ASEファームソフトの実行状態において、モード制御コマンドに応答してユーザモードに移行し、前記ユーザモードにおいてCPU2は外部メモリ4から命令をフェッチして実行することができる。

[0058] 図12にはマイクロコンピュータによるオンチップデバッグの動作タイミングが例示される。時刻t0にASEMDがローレベルにされてデバッグモードが指示され、時刻t1に電源が投入されて、パワーオンリセット回路73によりパワーオンリセットが指示されると(時刻t2)、制御信号 $\phi_2$ が活性化され、CPU2が初期化され、CPU2はROM71が保有する前記USB初期化制御プログラムを実行してUSBブート処理を行なってエンドポイントBE0～BEP6の動作を可能とし、その後CPU2は、ROM71が保有する前記転送制御プログラムを実行する。すなわち、USBインターフェース回路が書き込みコマンドを受信すると、これに応答して、USBインターフェース回路3を介して受信したデバッグ支援プログラム(ASEファームソフトとも称する)をエミュレーションメモリ11に格納する(ASEファーム書き込み処理)。ASEファーム書き込み処理が終わった後、USBインターフェース回路3がホストコンピュータからブレークコマンドを受信することにより、CPU2はEMMRY11上のASEファームソフトを実行可能にされる。この後、USBインターフェース回路3がホストコンピュータからユーザプログラム実行コマンドを受信すると、当該ユーザプログラム実行コマンドで指定されるユーザプログラムのアドレスに処理が分岐し、CPU2はユーザプログラムを実行するユーザモードに移行される。このユーザプログラムの実行状態において、例えばUSBインターフェース回路がブレークコマンドを受信すると、CPU2にブレーク例外要求BERQが発行され、CPU2によるユーザプログラムの実行が停止され、CPU2は再びASEファームソフトを実行するデバッグモードに遷移される。

[0059] 図13にはUSBの通信フォーマットが例示される。1フレームの先頭はSOF(Start of frame)とされる。USB規格におけるUSB通信フォーマットのフレーム内ではDATA0/DATA1がオンチップデバック用データパケットとされる。DATA0/DATA1のリード/ライトは各BEPで行う。オンチップデバック用USBパケットデータはヘッダーとデータから成る。ヘッダーは、識別ID、データサイズ、ステータス、命令コマンドの

情報を含む。データ情報にダウンロードデータ等の情報を含む。

[0060] 図14にはホストコンピュータ25(PC側)とUSBインターフェース回路3との通信ハンドシェイク制御の基本形が例示される。ホストコンピュータ25から送信されてくるUSBデータパケットをEP3に受信する。次にCPU2がASEファームプログラムに従ってEP3に受信したUSBデータパケットを読み込み、解析して、解析結果に応ずる制御を行い、その制御結果をEP4よりホストコンピュータ25に送信する。

[0061] 図15にはユーザープログラムの実行中に強制ブレークさせる場合のホストコンピュータ25とUSBインターフェース回路3との間でハンドシェイク制御内容が例示される。EP5を命令コマンド受信専用バッファとして使用する。EP5で受信した命令コマンドパケットを解析し、これに応じてUSB制御回路21からCPU2へブレーク例外処理を要求し、ASEファームのベクタアドレスが与えられる。CPU2はユーザプログラムの実行状態からASEファームプログラムのブレークのアドレスへジャンプする。USBインターフェース制御回路21はCPU2よりブレークアクナリッジBACKを受信し、EP6にステータス情報(BACK)をセットしホストコンピュータ25に送信する。ホストコンピュータ25はステータスがブレーク状態か否かを確認する。

[0062] 図16にはホストコンピュータ25からUSBインターフェース回路3へのソフトウェア(ユーザープログラム)のダウンロードの制御内容が例示される。ホストコンピュータよりソフトダウンロード送信要求と共に転送サイズ、ロード先アドレスがBEP3へ送信する。これに対し、CPU2からBEP4を介して送信許可がホストコンピュータ25に転送され、それが完了次第、ホストコンピュータ25より指定サイズ分だけダウンロードデータがUSBインターフェース回路3に向けて送信される。このとき、USBインターフェース回路のBEP3に受信した場合、USB割り込みにより、DMA転送し、直接外部メモリ4に書き込む。指定サイズ分送信終えたらEP4より送信完了をホストコンピュータに送信する。

[0063] 図17にはマイクロコンピュータ1の更に別の例が示される。図11との相違点は、JT AGIF8及びAUDIF10を削除し、更に、USBIF3をデバッグモードに専用化した点である。USBIF3はBEP1, BEP2を備えていない。ユーザー資源としてUSBIF3を利用することはできない。USBIF3はオンチップデバックのときだけ使用可能にされる。AUDIF10は大容量のトレースデータの格納にユーザー資源のオンチップRAM

7やEXMRY4を使用することが可能な場合は必要ないためである。

[0064] 図18にはマイクロコンピュータ1の更に別の例が示される。図17との相違点は、ユーザ専用資源としてUSBIF3Aを設けた点である。ユーザ専用資源としてUSBIF3AはBEP0, BEP1, BEP2を構成するバッファ20とUSBインターフェース制御回路21Aを備える。オンチップデバッグとユーザモードの夫々において全く専用化されたUSBIFを利用可能である。

[0065] 特に図示はしないが図11においてAUDIF10だけを廃止することも可能である。USBIF3はオンチップデバックとユーザモードで兼用に使用されるから、ユーザー資源としてUSBIF3をデバックする場合は、デバッグ用インターフェースとしてJTAGIF8を利用すればよい。

[0066] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0067] 例えば、CPU2と内部バス12の間にはキャッシュメモリが配置されてもよい。仮想アドレスをサポートする場合にはCPU2と内部バス12の間にアドレス変換バッファが配置されていてよい。ロジック41A, 41BはFPGAで構成することに限定されない。

[0068] 図4で説明したマイクロコンピュータ40が保有するUSBIF48についても図11で説明したUSBIF3を適用可能である。この場合、ユーザ専用のBEPは必要ない。

### 産業上の利用可能性

[0069] 本発明はマイクロコンピュータ、特にデバッグサポート機能を有するマイクロコンピュータ、更にはマイクロコンピュータを動作させるシステムプログラムの開発方法などに広く適用することができる。

## 請求の範囲

[1] 中央処理装置、デバッグ用インターフェースに利用可能な高速シリアル通信インターフェース回路、及び外部メモリに接続可能な外部バスインターフェース回路を有し、前記高速シリアル通信インターフェース回路はその内部に複数の入力バッファを有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされ、前記デバッグモードにおいて、前記高速シリアル通信インターフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインターフェース回路から出力可能であることを特徴とするマイクロコンピュータ。

[2] 前記高速シリアル通信インターフェース回路は、ユニバーサルシリアルバスインターフェース回路であることを特徴とする請求項1記載のマイクロコンピュータ。

[3] 受信されたシステムプログラムを外部バスインターフェースに接続されたメモリに転送制御が可能なダイレクトメモリアクセスコントローラを有することを特徴とする請求項2記載のマイクロコンピュータ。

[4] 前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記高速シリアル通信インターフェースの入力バッファであることを特徴とする請求項3記載のマイクロコンピュータ。

[5] 前記高速シリアル通信インターフェース回路の入力バッファに受信されたシステムプログラムを一時的に蓄積可能なランダムアクセスメモリを有し、前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記ランダムアクセスメモリであることを特徴とする請求項3記載のマイクロコンピュータ。

[6] デバッグ専用低速シリアル通信インターフェース回路を有し、前記デバッグ専用低速シリアル通信インターフェース回路は、デバッグモードにおいて、前記高速シリアル通信インターフェース回路を制御する制御データの入力に利用可能であることを特徴とする請求項1記載のマイクロコンピュータ。

[7] 前記デバッグ専用低速シリアル通信インターフェース回路は、デバッグモードにおいて、前記高速シリアル通信インターフェース回路に代えてシステムプログラムの受信に利

用可能であることを特徴とする請求項6記載のマイクロコンピュータ。

- [8] 前記デバッグ専用低速シリアル通信インターフェース回路はJTAGに準拠しデータレジスタを有することを特徴とする請求項6又は7記載のマイクロコンピュータ。
- [9] トレース制御回路を有し、前記トレース制御回路は前記中央処理装置が前記システムプログラムを実行したときの内部状態をトレース情報として逐次蓄えることを特徴とする請求項1又は6記載のマイクロコンピュータ。
- [10] 前記トレース情報の外部出力に前記高速シリアル通信インターフェース回路を利用可能であることを特徴とする請求項9記載のマイクロコンピュータ。
- [11] ホストコンピュータと、エミュレータと、ターゲットデバイスとを用いて、ターゲットデバイスが実行するシステムプログラムを開発する方法であって、  
前記エミュレータによる処理として、ホストコンピュータが高速シリアル通信で出力するシステムプログラムを2面バッファの一方のバッファに蓄積する第1処理と、前記2面バッファの他方のバッファに蓄積されたシステムプログラムを前記第1処理に並行してターゲットデバイスに低速シリアル通信で送信する第2処理と、ターゲットデバイスとの間の前記低速シリアル通信のハンドシェーク制御を行なう第3処理を含むことを特徴とするシステムプログラムの開発方法。
- [12] 前記第2処理では、前記バッファから出力するシステムプログラムを前記一つのバッファの記憶容量以上のFIFOバッファを経由してターゲットデバイスに低速シリアル通信で送信し、  
前記第3処理では、ターゲットデバイスからの送信許可に応答してFIFOバッファからターゲットデバイスへの送信を行ない、FIFOバッファのフル状態に応答して前記バッファからFIFOバッファへの転送を抑制することを特徴とする請求項11記載のシステムプログラムの開発方法。
- [13] ユーザモードとデバッグモードを有するマイクロコンピュータであって、  
中央処理装置と、ユニバーサルシリアルバスインターフェース回路と、第1のデバッグ用制御プログラムを保有するROMと、RAMと、外部バスインターフェース回路とを備え、  
前記ユニバーサルシリアルバスインターフェース回路は、前記デバッグモードで利用

可能にされる所定のエンドポイントバッファ回路を有し、前記所定のエンドポイントバッファ回路は並列動作可能な一対のバッファを有し、前記一対のバッファは相互に一方が入力動作可能にされるのに並行して他方が出力動作可能とされ、

前記中央処理装置は、パワーオンリセット時に前記デバッグモードが指定されているとき、前記第1のデバッグ用制御プログラムを実行して、前記ユニバーサルシリアルバスインターフェース回路を動作可能に初期化し、第2のデバッグ用制御プログラムを前記ユニバーサルシリアルバスインターフェース回路で受信し、受信した第2のデバッグ用制御プログラムを前記RAMに格納し、RAMに格納した第2のデバッグ用制御プログラムの実行に移行するマイクロコンピュータ。

[14] バッファRAMとダイレクトメモリアクセスコントローラと更に有し、  
中央処理装置は、前記第2のデバッグ用制御プログラムにしたがって、ユニバーサルシリアルバスインターフェース回路が受信したダウンロード要求コマンドに応答して、前記ダイレクトメモリアクセスコントローラに、ユニバーサルシリアルバスインターフェース回路が受信したプログラムを前記バッファRAMに転送させる請求項13記載のマイクロコンピュータ。

[15] 前記中央処理装置は、前記第2のデバッグ用制御プログラムにしたがって、ユニバーサルシリアルバスインターフェース回路が受信した転送要求コマンドに応答して、前記ダイレクトメモリアクセスコントローラに、前記バッファRAMに転送されたプログラムを外部バスインターフェース回路を介して外部に転送制御させる請求項14記載のマイクロコンピュータ。

[16] 中央処理装置は、前記第2のデバッグ用制御プログラムの実行状態において、モード制御コマンドに応答してユーザモードに移行し、  
前記ユーザモードにおいて中央処理装置は外部バスインターフェース回路を介して命令をフェッチする請求項13記載のマイクロコンピュータ。

[17] 中央処理装置と、ユニバーサルシリアルバスインターフェース回路と、第1のデバッグ用制御プログラムを保有するROMと、バッファRAMと、外部インターフェース回路とを備え、  
前記ユニバーサルシリアルバスインターフェース回路は、所定のエンドポイントバッフ

ア回路を有し、前記所定のエンドポイントバッファ回路は並列動作可能な一対のバッファを有し、前記一対のバッファは相互に一方が入力動作可能にされるのに並行して他方が出力動作可能とされ、

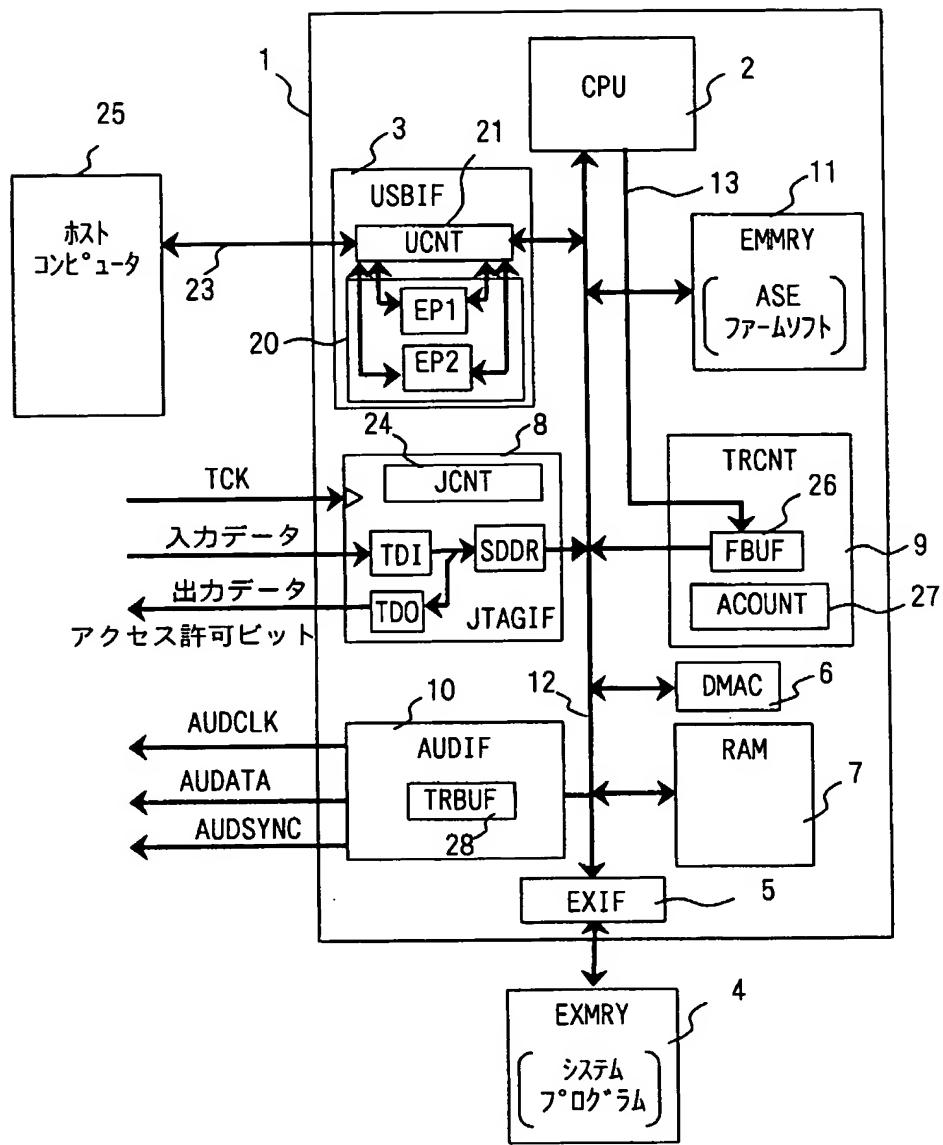
前記中央処理装置は、パワーオンリセット時に前記第1のデバッグ用制御プログラムを実行して、前記ユニバーサルシリアルバスインターフェース回路を動作可能に初期化し、第2のデバッグ用制御プログラムを前記ユニバーサルシリアルバスインターフェース回路で受信し、受信した第2のデバッグ用制御プログラムを前記バッファRAMに格納し、バッファRAMに格納した第2のデバッグ用制御プログラムを前記外部インターフェース回路を介して出力させるマイクロコンピュータ。

[18] ダイレクトメモリアクセスコントローラを更に有し、

前記ダイレクトメモリアクセスコントローラは、前記中央処理装置による転送制御条件にしたがって、前記バッファRAMから第2のデバッグ用制御プログラムを前記外部インターフェース回路を介して外部に転送する請求項17記載のマイクロコンピュータ。

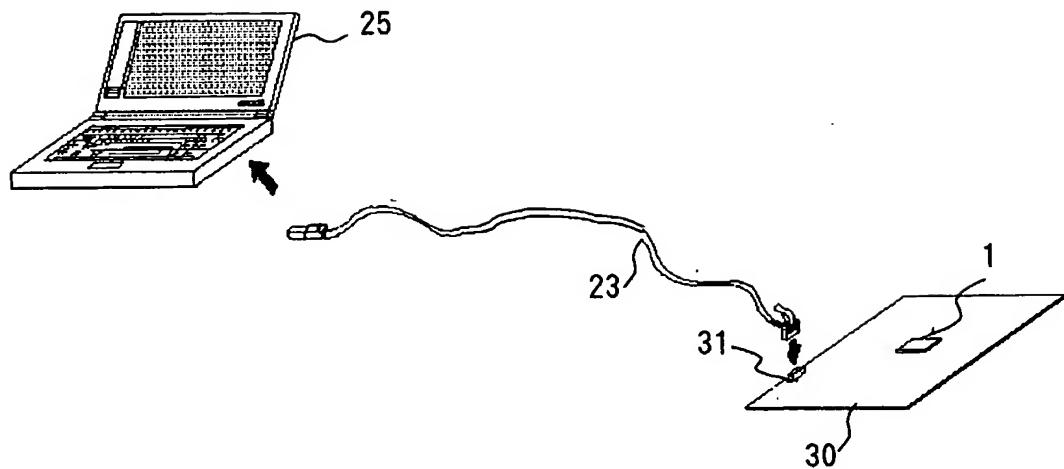
[図1]

図1



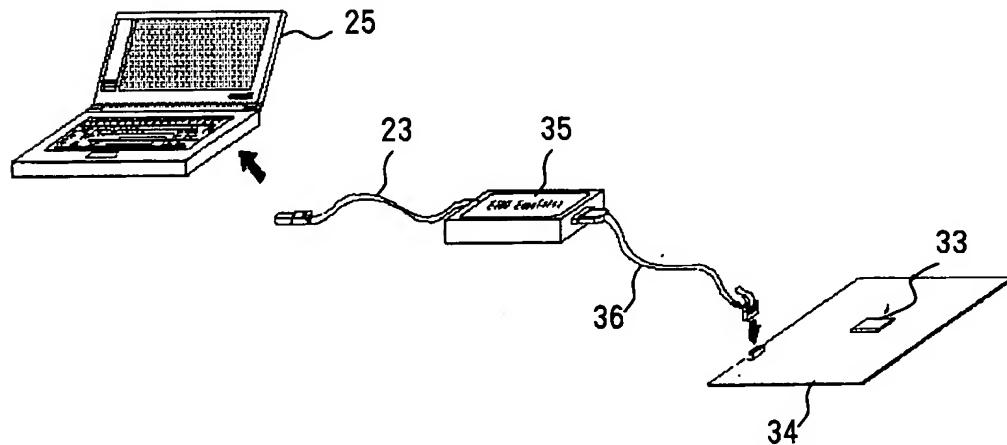
[図2]

図2

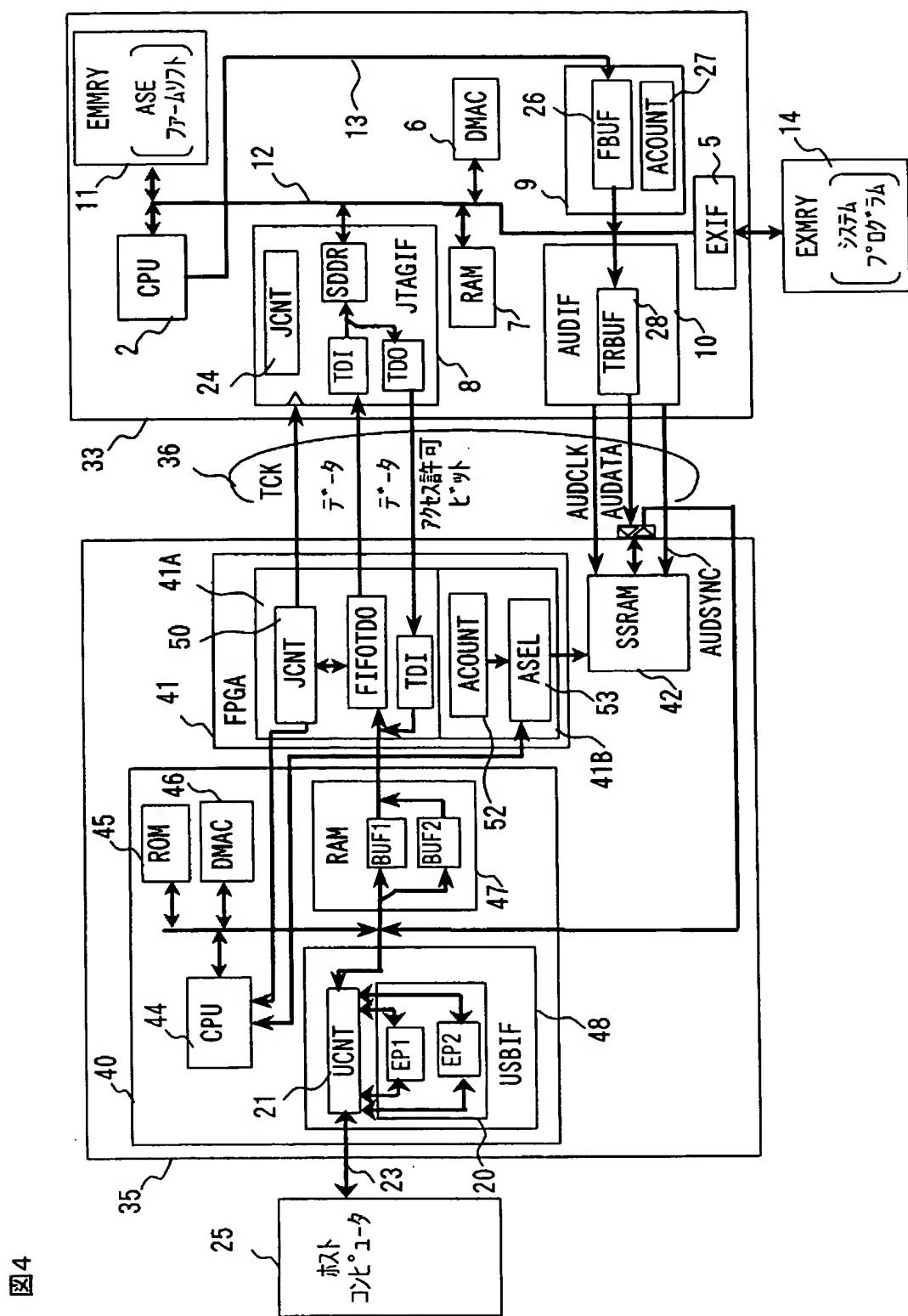


[図3]

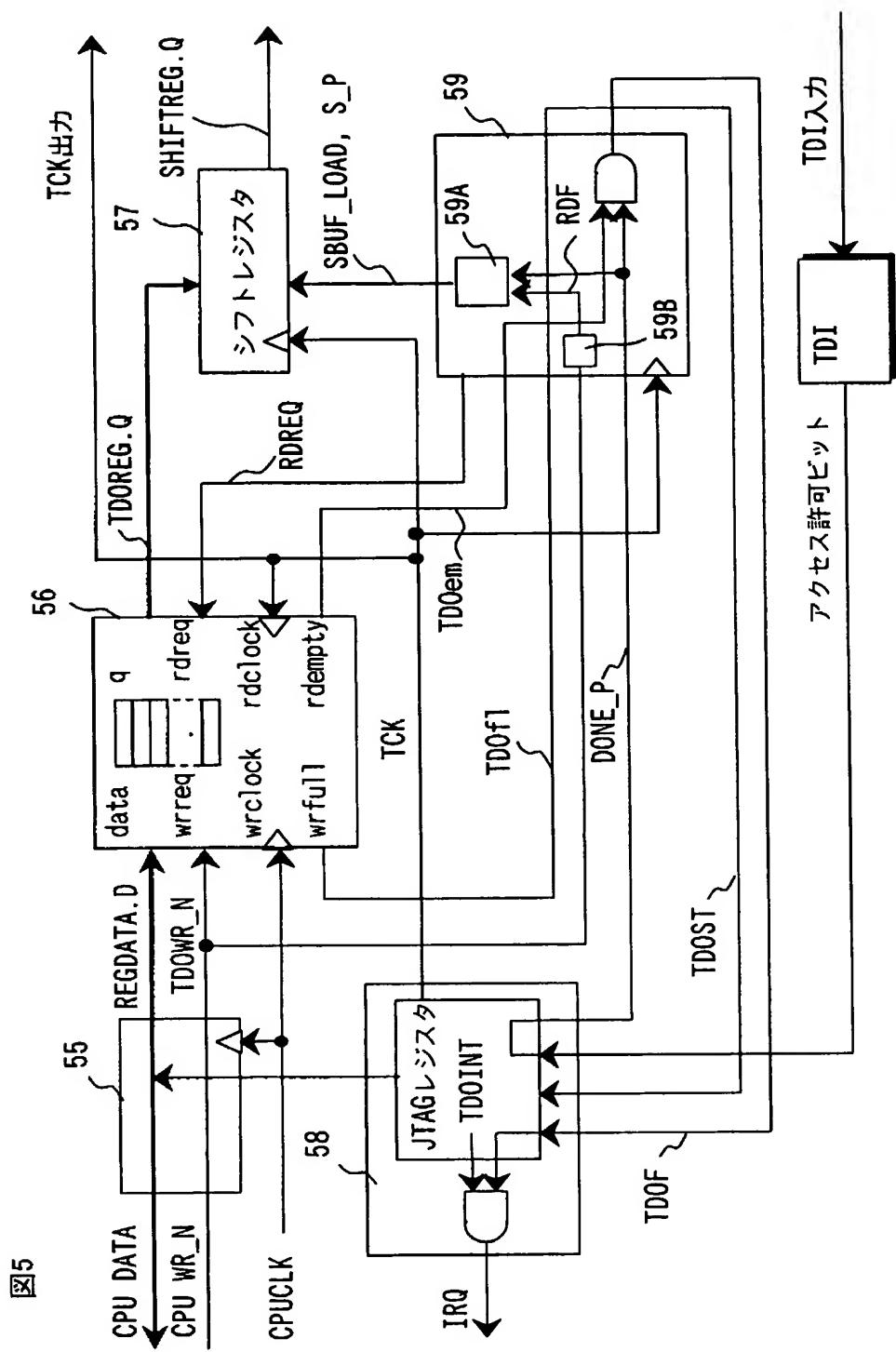
図3



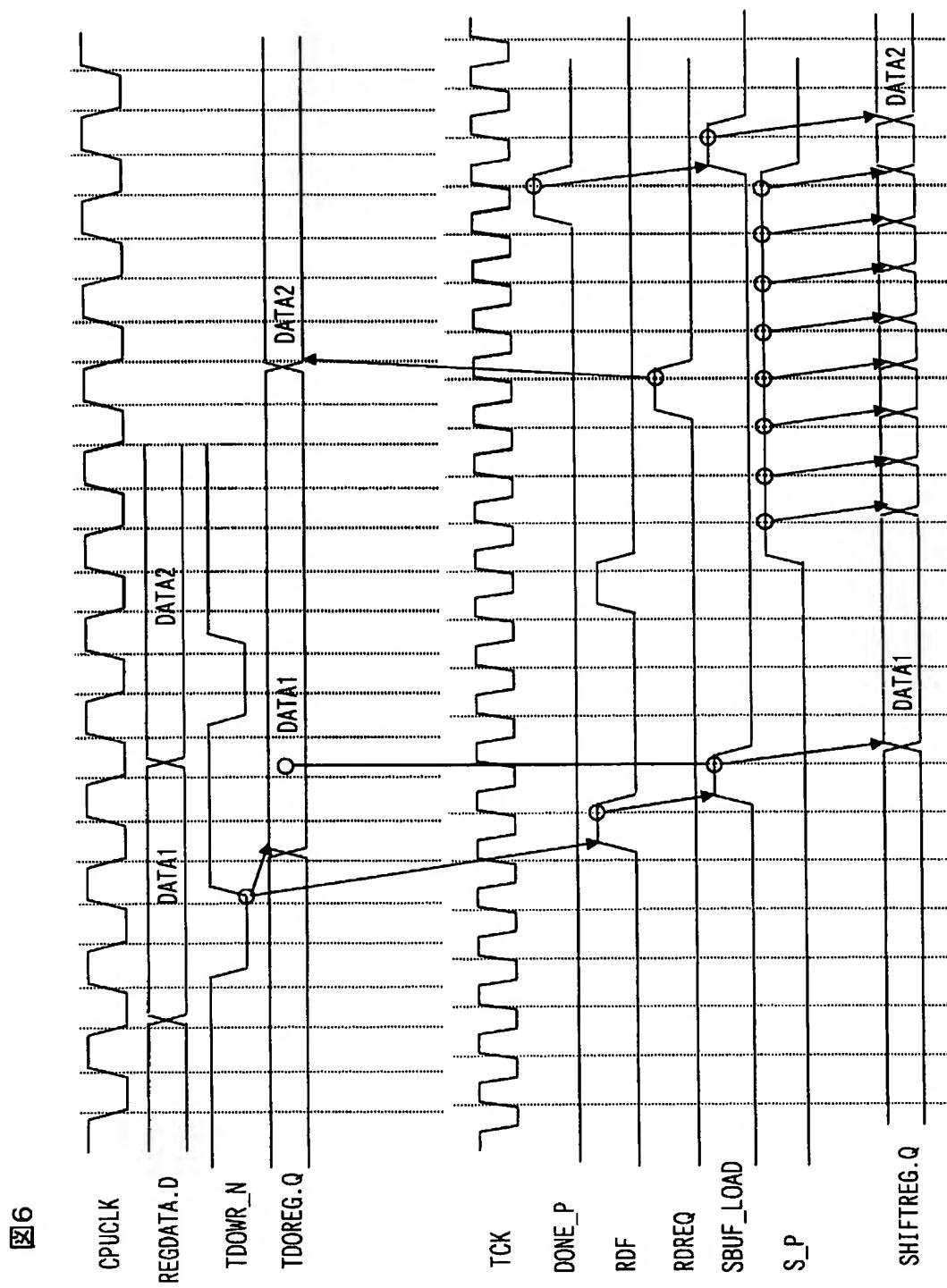
[図4]



[図5]

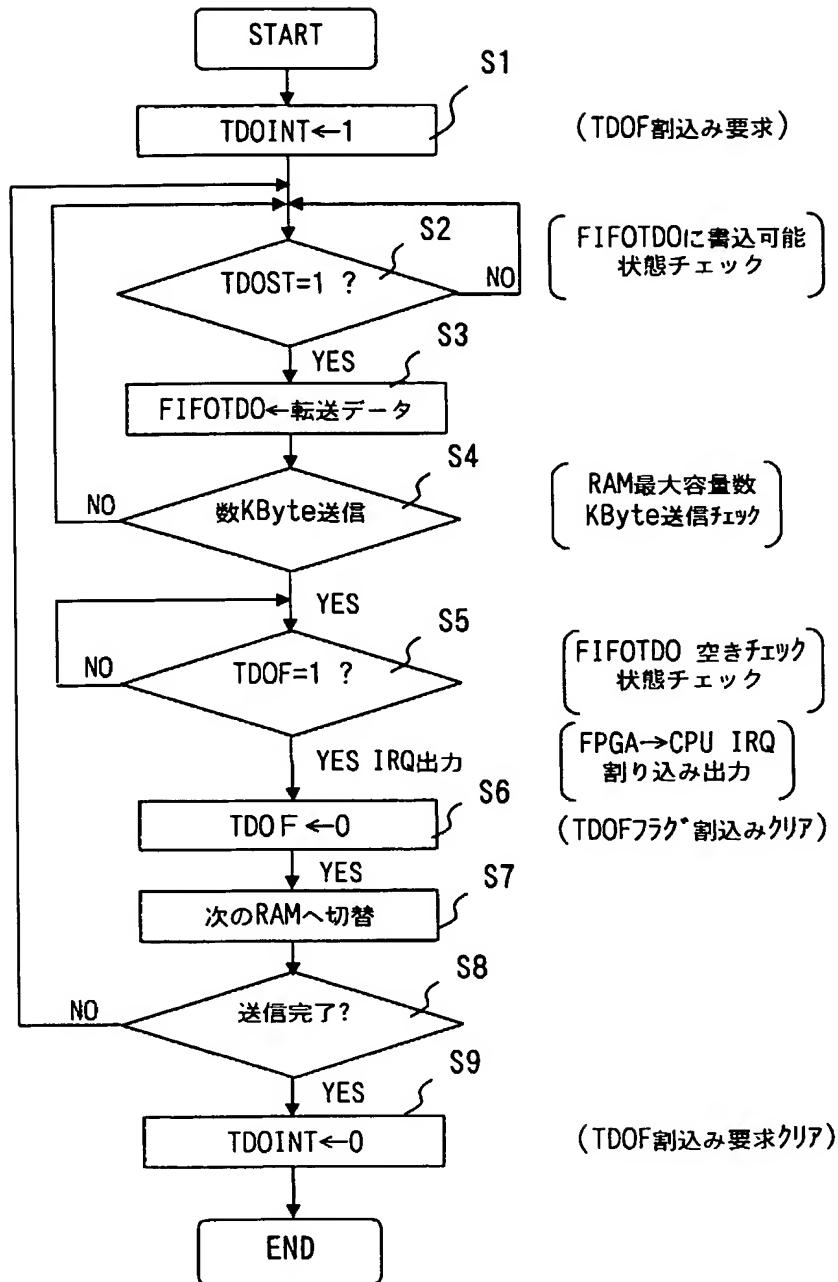


[図6]



[図7]

図7



[図8]

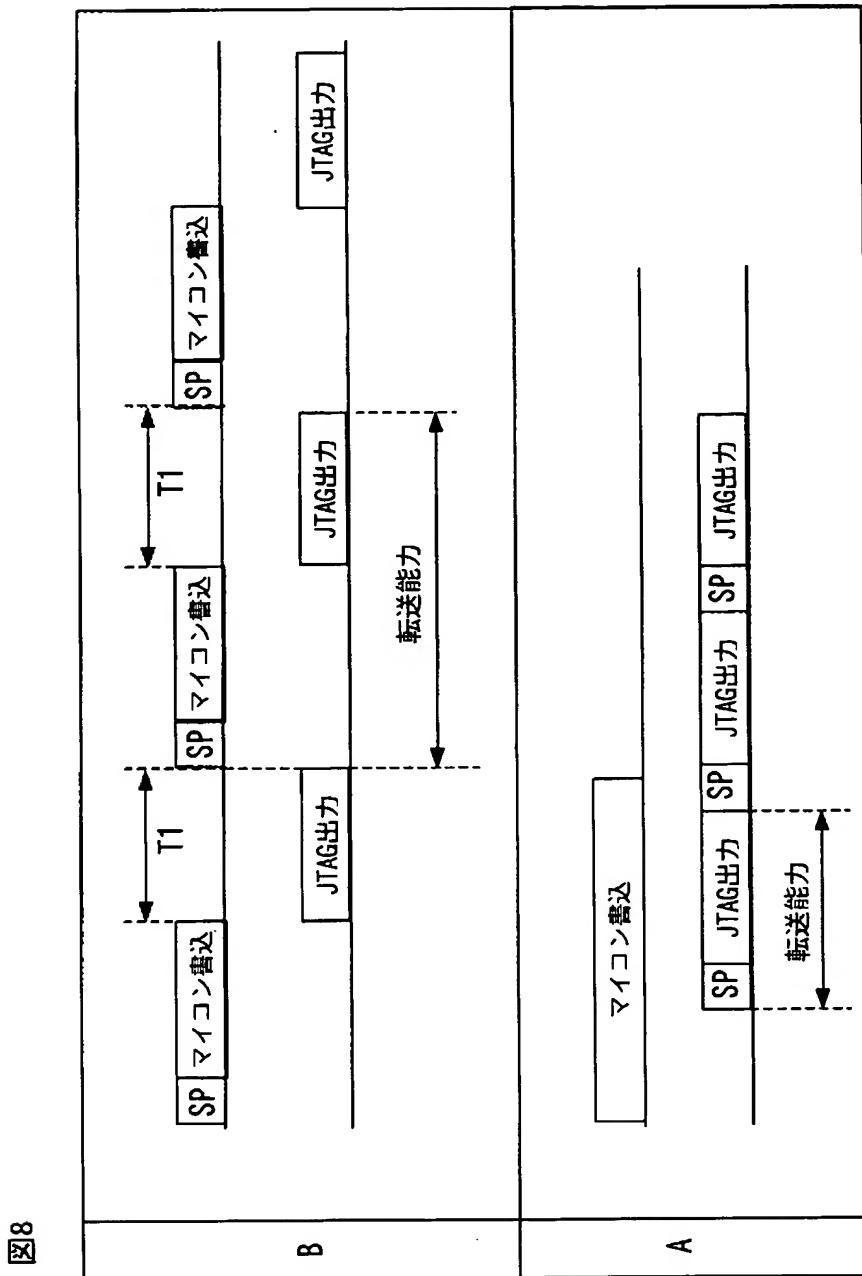


図8

[図9]

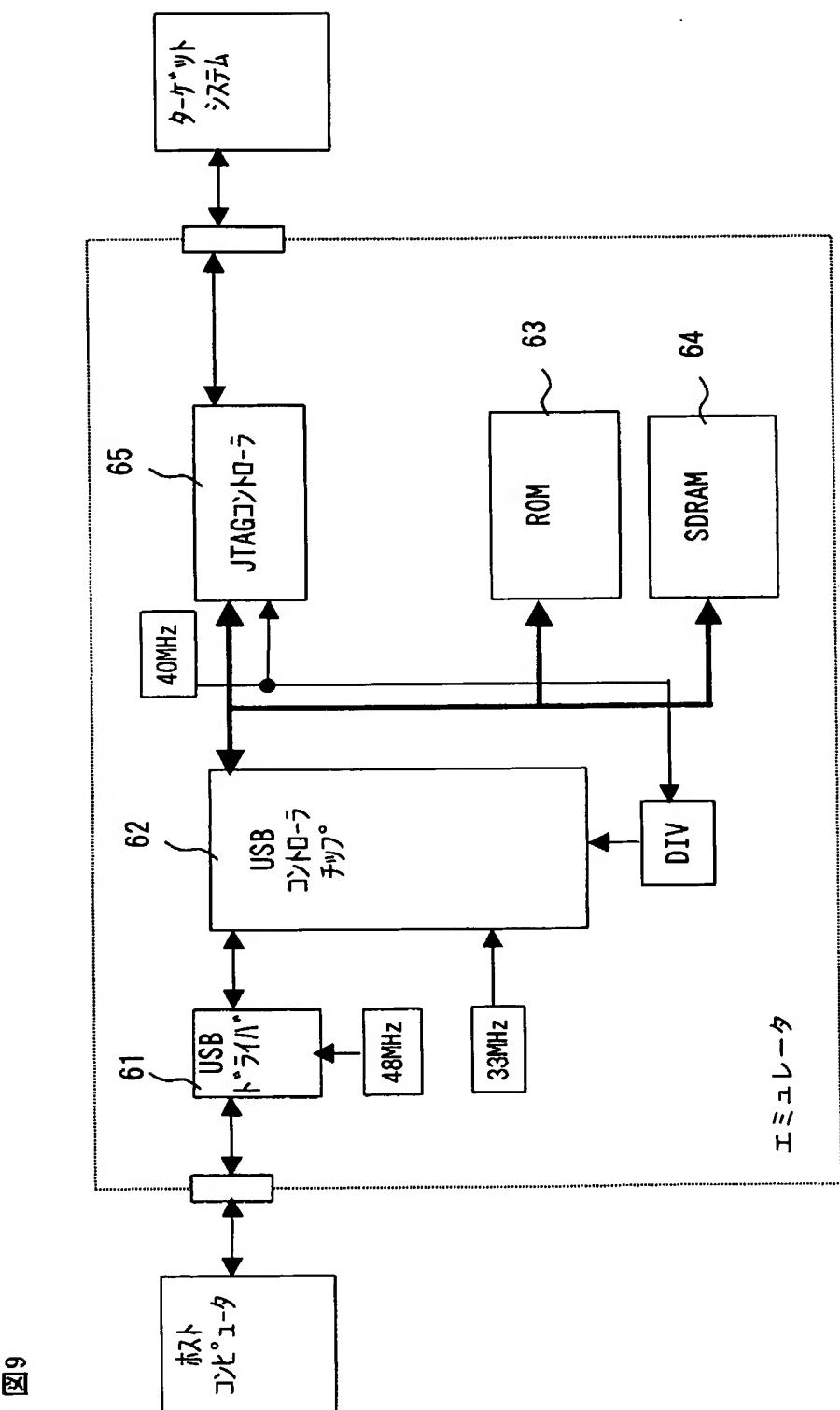
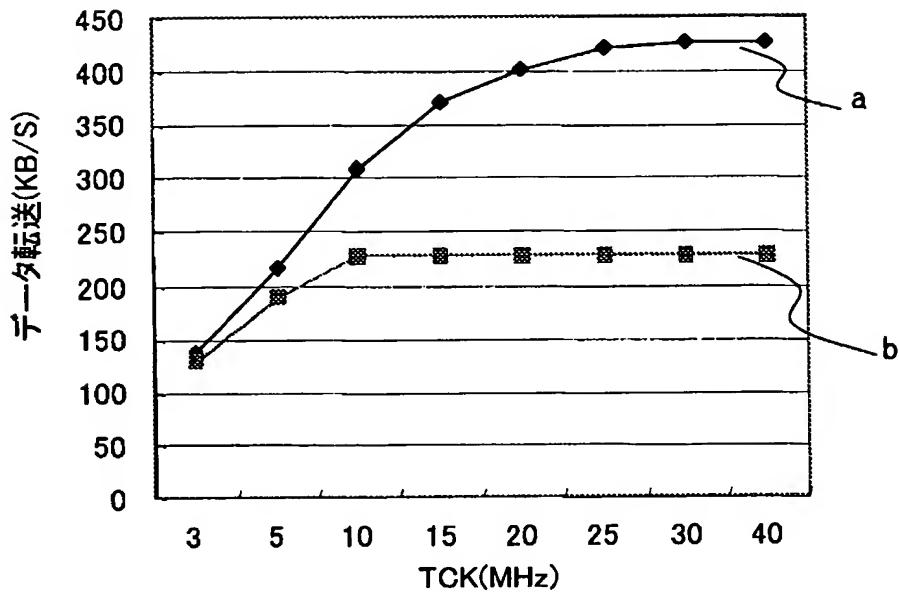


図9

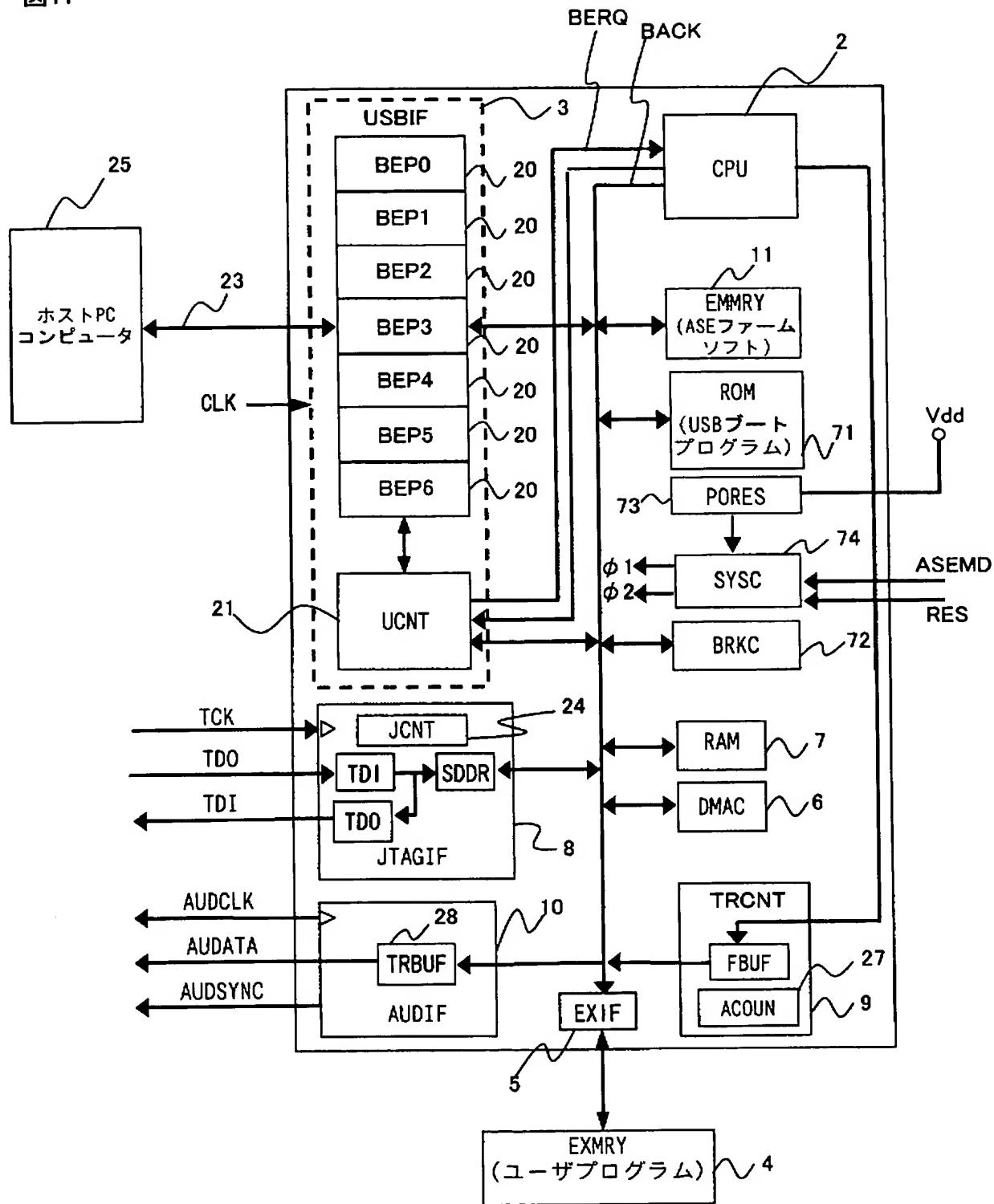
[図10]

図10

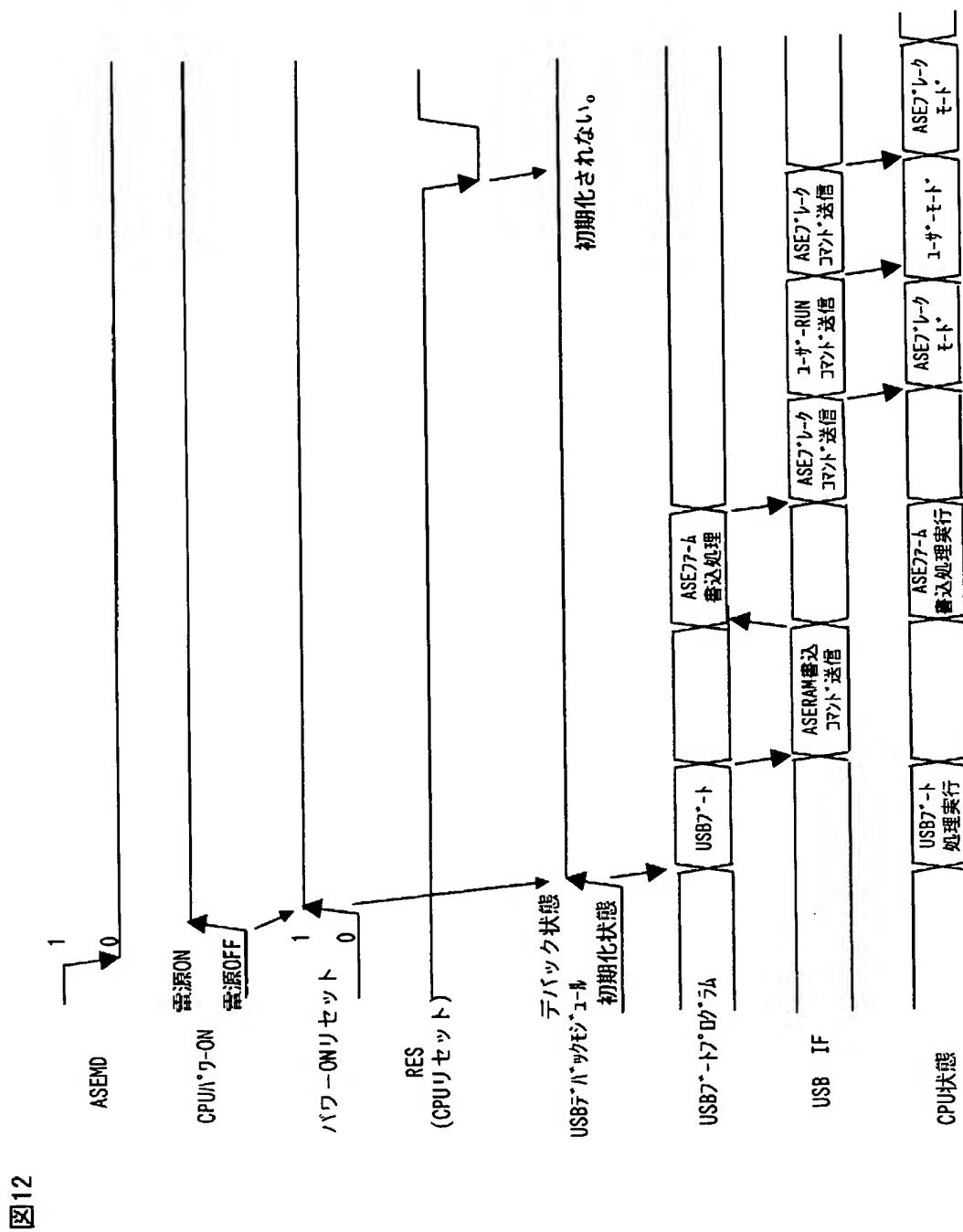


[図11]

11

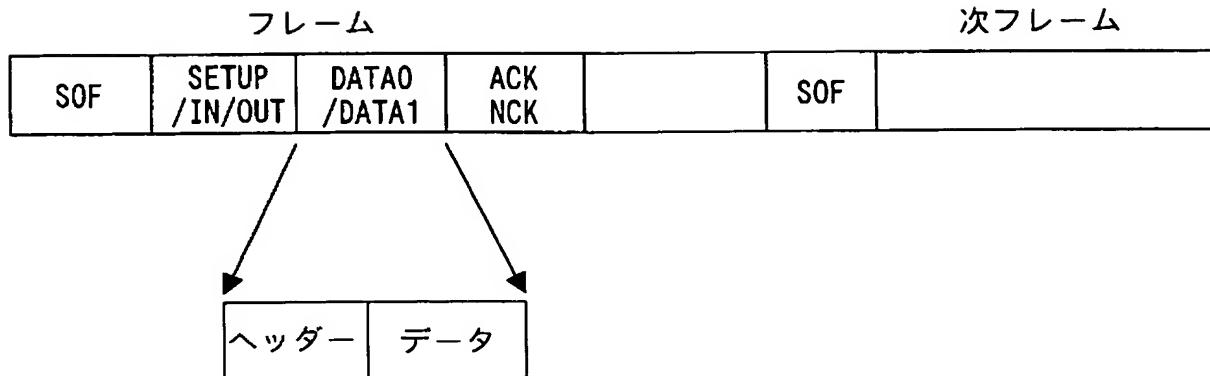


[図12]



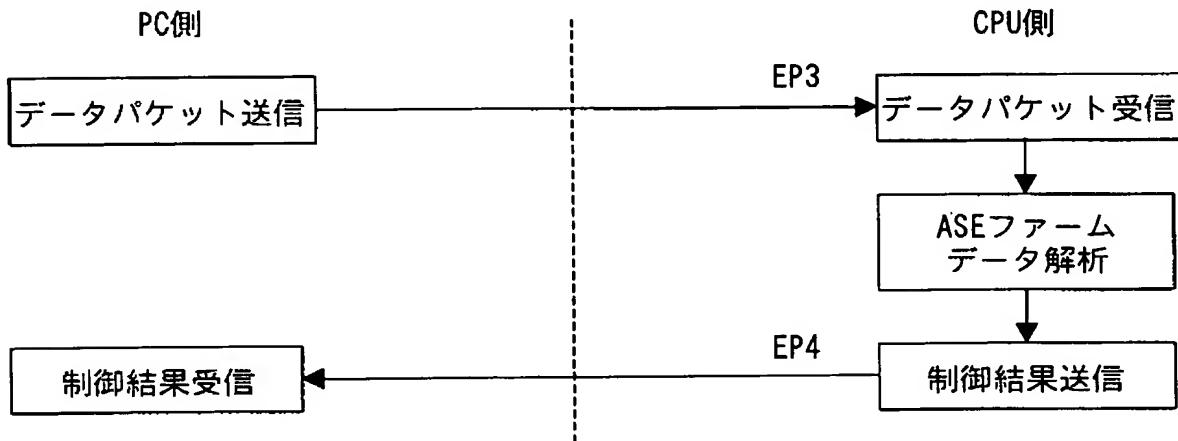
[図13]

図13



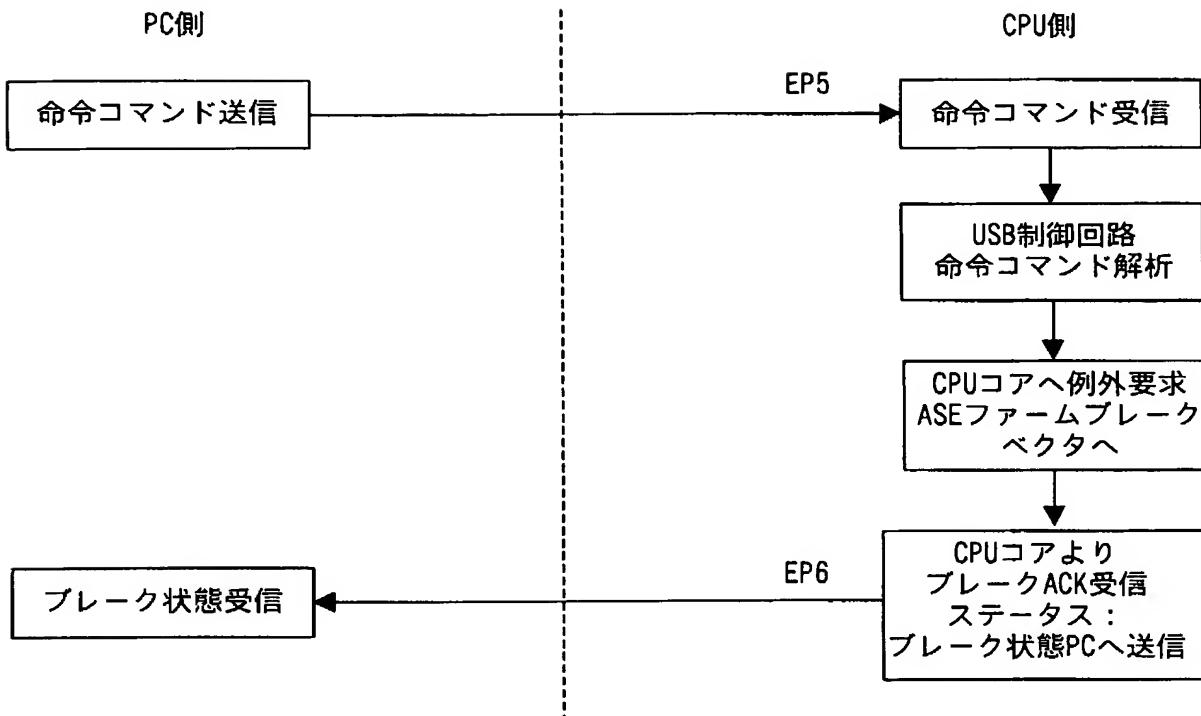
[図14]

図14



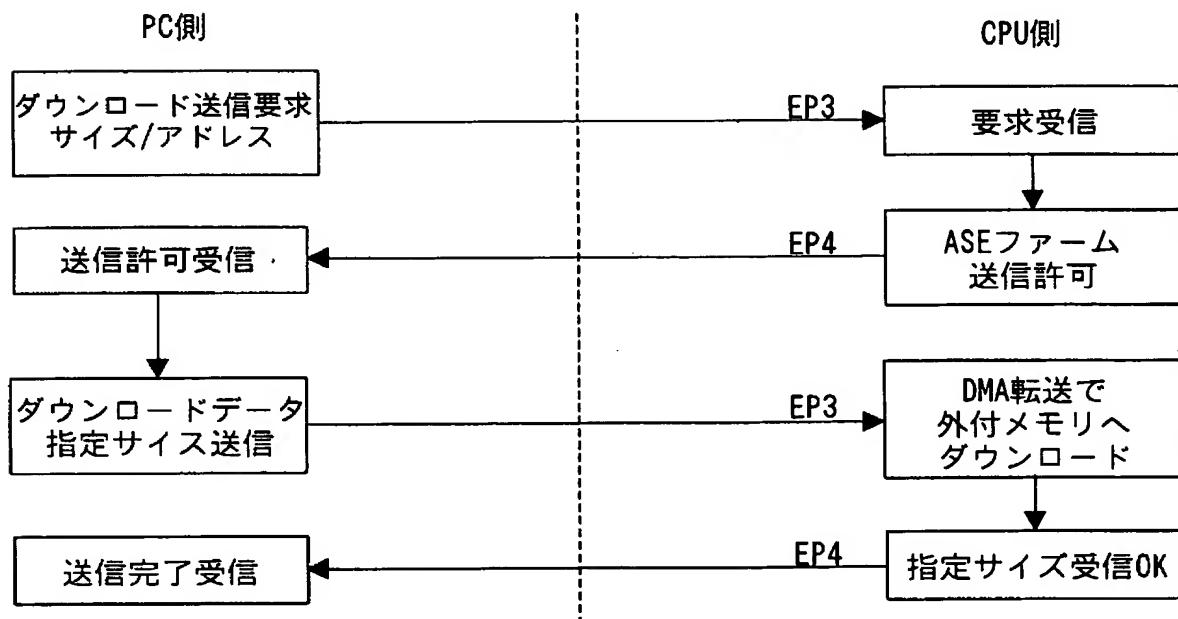
[図15]

図15



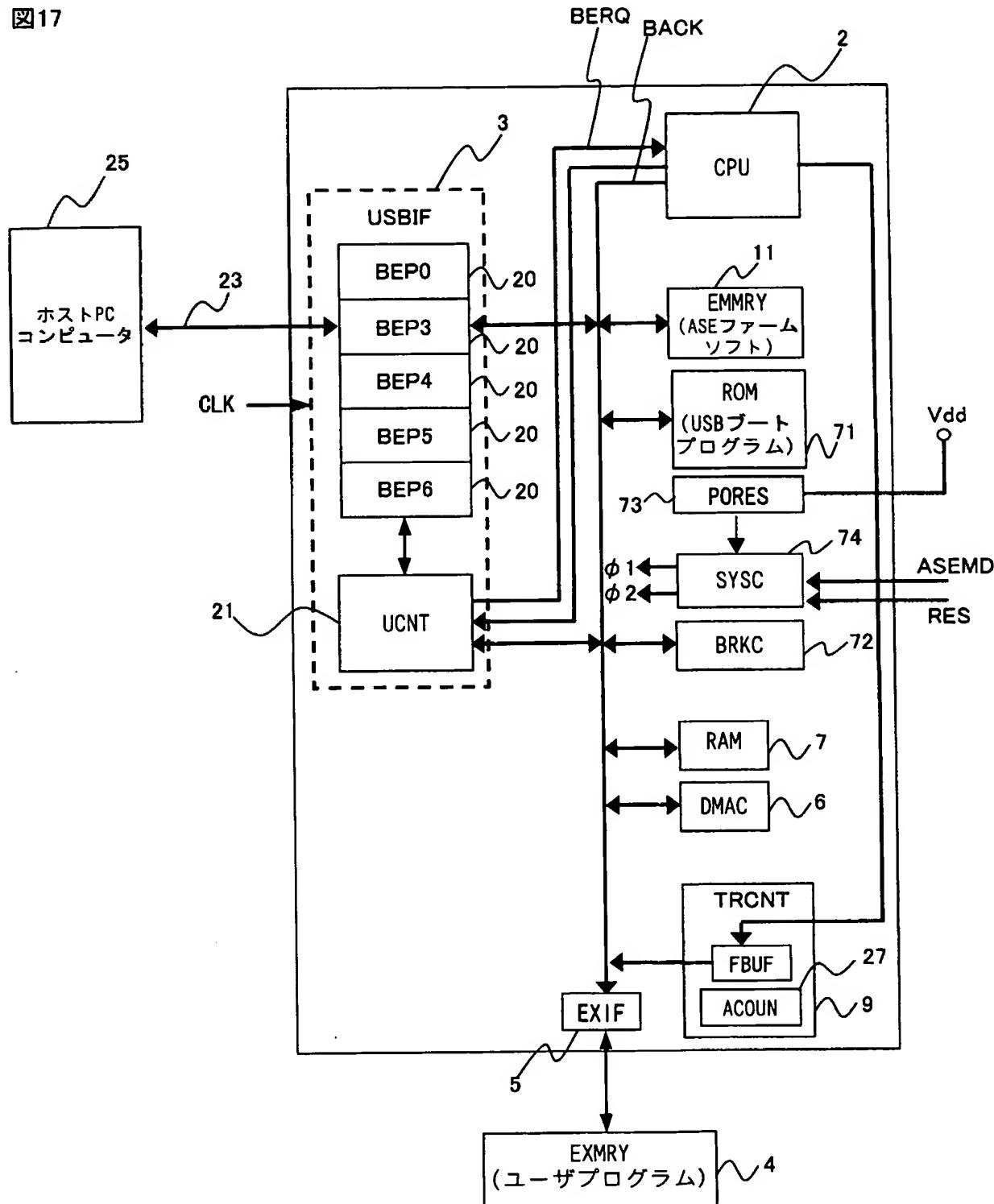
[図16]

図16



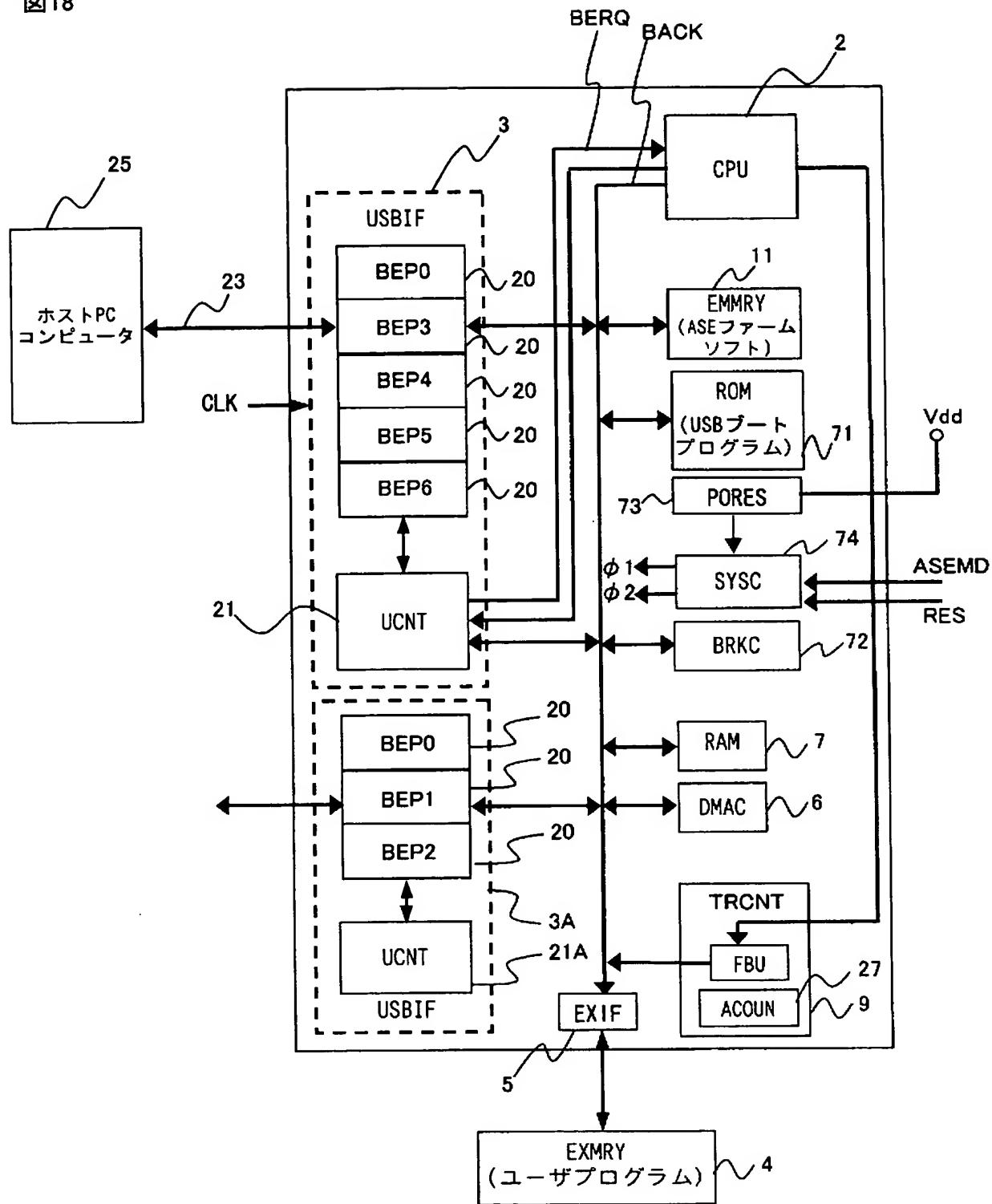
[図17]

図17



[図18]

図18



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012350

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F11/22, G06F15/78, G06F9/445, G06F13/38, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F11/22, G06F11/28, G06F15/78, G06F9/445, G06F13/38, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-39186 A (Matsushita Electric Industrial Co., Ltd.), 12 February, 1999 (12.02.99), Full text; all drawings (Family: none)	11 1-10, 12-18
Y A	Takashi UGAJIN, "Boundary Scan Test "JTAG" no Kangaekata· Tsukaikata", Electronics, Vol.46, No.4, 01 April, 2001 (01.04.01), pages 42 to 53	11 1-10, 12-18

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
22 November, 2004 (22.11.04)Date of mailing of the international search report  
07 December, 2004 (07.12.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/012350

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-268911 A (Kabushiki Kaisha Konpyutekkusu), 20 September, 2002 (20.09.02), Full text; all drawings (Family: none)	1-18
A	JP 11-39184 A (Mitsubishi Electric Corp.), 12 February, 1999 (12.02.99), Full text; all drawings & US 5905886 A	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. C1. 7 G06F11/22, G06F15/78, G06F9/445,  
 G06F13/38, G01R31/28

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1. 7 G06F11/22, G06F11/28, G06F15/78,  
 G06F9/445, G06F13/38, G01R31/28

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-39186 A (松下電器産業株式会社) 1999. 02. 12, 全文, 全図 (ファミリーなし)	11
A		1-10, 12-18
Y	宇賀神孝, バウンダリースキャンテスト "JTAG" の考え方・使い方, エレクトロニクス, 第46巻 第4号, 2001. 04. 01, p. 42-53	11
A		1-10, 12-18

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
22. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 久保 正典

5B 9642

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 2002-268911 A (株式会社コンピューテックス) 2002. 09. 20, 全文, 全図 (ファミリーなし)	1-18
A	JP 11-39184 A (三菱電機株式会社) 1999. 02. 12, 全文, 全図 & US 5905886 A	1-18